



数据手册

Data Sheet

MM32SPIN040C

基于 Arm[®] Cortex[®]-M0 内核的 32 位微控制器

版本: Rev1.07

灵动微电子有权在任何时间对此文件包含的信息（包括但不限于规格与产品说明）做出任何改动与发布，本文件将取代之前所有公布的信息。

目录

1	总览	1
1.1	概述	1
1.2	产品简述	1
2	规格说明	3
2.1	型号列表	3
2.1.1	订购信息	3
2.1.2	丝印	4
2.1.3	模块框图	6
2.2	功能说明	6
2.2.1	内核简介	6
2.2.2	存储器映像	6
2.2.3	内置闪存存储器 (FLASH)	8
2.2.4	内置 SRAM (SRAM)	8
2.2.5	循环冗余校验计算单元 (CRC)	8
2.2.6	嵌套的向量式中断控制器 (NVIC)	8
2.2.7	外部中断/事件控制器 (EXTI)	8
2.2.8	时钟和启动	9
2.2.9	供电方案	9
2.2.10	供电监控器	9
2.2.11	电压调压器	10
2.2.12	低功耗模式 (LP)	10
2.2.13	定时器和看门狗 (TIM & WDG)	11
2.2.14	通用异步收发器 (UART)	13
2.2.15	I2C 总线 (I2C)	13
2.2.16	串行外设接口 (SPI)	13
2.2.17	通用输入输出接口 (GPIO)	13
2.2.18	模拟/数字转换器 (ADC)	13
2.2.19	串行调试口 (SWD)	13
3	引脚定义及复用功能	14
3.1	引脚分布图	14
3.2	引脚定义表	15
3.3	复用功能表	16
3.4	功能框图	18
4	电气特性	19
4.1	测试条件	19
4.1.1	负载电容	19
4.1.2	引脚输入电压	19
4.1.3	供电方案 Power Supply	20
4.1.4	电流消耗测量	20
4.2	绝对最大额定值	21

4.3	工作条件	21
4.3.1	通用工作条件.....	21
4.3.2	上电和掉电时的工作条件	22
4.3.3	内嵌复位和电源控制模块特性	22
4.3.4	供电电流特性.....	23
4.3.5	外部时钟源特性	27
4.3.6	内部时钟源特性	29
4.3.7	存储器特性	30
4.3.8	EMC 特性	30
4.3.9	功能性 EMS（电气敏感性）	31
4.3.10	I/O 端口特性	32
4.3.11	NRST 引脚特性	34
4.3.12	TIM 定时器特性	34
4.3.13	通信接口	35
4.3.14	ADC 特性	40
5	栅极驱动器	43
5.1	工作条件	43
5.2	电气特性	43
6	封装特性.....	46
6.1	封装 TSSOP28	46
6.2	封装 QFN28.....	48
7	产品命名规则.....	50
8	缩略词.....	51
9	修订记录.....	52

插图

图 1 TSSOP28 丝印标识	4
图 2 QFN20 丝印标识	5
图 3 模块框图	6
图 4 时钟树	9
图 5 TSSOP28 引脚分布图	14
图 6 QFN28 引脚分布图	15
图 7 功能框图	18
图 8 引脚负载条件	19
图 9 引脚输入电压	19
图 10 供电方案	20
图 11 电流测量方案	20
图 12 上电与掉电波形	22
图 13 停机模式下的典型电流消耗在 $V_{DD} = 3.3V$ 时与温度的对比	25
图 14 待机模式下的典型电流消耗在 $V_{DD} = 3.3V$ 时与温度的对比	25
图 15 外部高速时钟源的交流时序图	28
图 16 使用 8MHz 晶体的典型应用	29
图 17 输入输出交流特性定义	33
图 18 建议的 NRST 引脚保护	34
图 19 I2C 总线交流波形和测量电路 ⁽¹⁾	36
图 20 I2C 从模式和 $CPHA = 0, SPI_CCTL.CPHASEL=1$ 时波形图	38
图 21 SPI 时序图-从模式和 $CPHA = 1^{(1)}, SPI_CCTL.CPHASEL=1$ 时波形图	39
图 22 SPI 时序图-主模式和 $CPHA = 1^{(1)}, SPI_CCTL.CPHASEL=1$ 时波形图	40
图 23 使用 ADC 典型的连接图	42
图 24 供电电源和参考电源去耦电路	42
图 25 TSSOP28, 28 脚低剖面长方形扁平封装图	46
图 26 QFN28, 28 脚方形扁平无引线封装外形封装图	48
图 27 MM32 型号命名	50

表格

表 1 订购信息	3
表 2 存储器映像	6
表 3 低功耗模式一览表	10
表 4 不同功耗模式对应 IP 状态表	10
表 5 定时器功能比较	11
表 6 引脚定义	15
表 7 PA 端口复用	17
表 8 Gate Driver 引脚说明表	17
表 9 电压特性	21
表 10 电流特性	21
表 11 通用工作条件	21
表 12 上电和掉电的工作条件 ⁽¹⁾ ⁽²⁾	22
表 13 内嵌复位和电源控制模块特性 ⁽¹⁾	22
表 14 运行模式高低温下的典型供应电流 ⁽¹⁾ ⁽²⁾	24
表 15 睡眠模式高低温下的典型供应电流 ⁽¹⁾ ⁽²⁾	24
表 16 停机和待机模式高低温下的典型供应电流	24
表 17 内置外设的电流消耗	26
表 18 低功耗模式的唤醒时间	26
表 19 高速外部用户时钟特性	27
表 20 HSE 8 ~ 24MH 振荡器特性 ⁽¹⁾ ⁽²⁾	28
表 21 HSI 振荡器特性 ⁽¹⁾ ⁽²⁾	29
表 22 LSI 振荡器特性 ⁽¹⁾ ⁽²⁾	30
表 23 FLASH 存储器特性	30
表 24 FLASH 存储器寿命和数据保存期限 ⁽¹⁾ ⁽²⁾	30
表 25 EMS 特性 ⁽¹⁾	31
表 26 ESD 特性 ⁽¹⁾	32
表 27 IO 静态特性 ⁽¹⁾	32
表 28 输出交流特性 ⁽¹⁾ ⁽²⁾	33
表 29 NRST 引脚特性 ⁽¹⁾	34
表 30 TIMx ⁽¹⁾ 特性	35
表 31 I2C 接口特性 ⁽¹⁾ ⁽²⁾	35
表 32 SPI 接口特性	36
表 33 ADC 特性 ⁽¹⁾	40
表 34 f _{ADC} =15MHz ⁽¹⁾ 时的最大 R _{AIN}	41
表 35 ADC 精度 ⁽¹⁾ ⁽²⁾	41
表 36 Gate driver 绝对最大额定植	43
表 37 Gate driver 推荐工作范围	43
表 38 Gate driver 电气特性	43
表 39 PWM 输入输出状态表	45
表 40 TSSOP28 尺寸说明	46
表 41 QFN28 尺寸说明	48
表 42 修订记录	52

总览

1.1 概述

本产品是使用高性能的 Arm® Cortex®-M0 为内核的 32 位微控制器，5V 输出的 LDO 稳压器、三组集成的 PN 栅极驱动器和 2 路运放。最高工作频率可达 48MHz，内置高速存储器，丰富的 I/O 端口和外设连接到外部总线。本产品包含 1 个 12 位的 ADC、1 个 16 位通用定时器、1 个 16 位基本定时器和 1 个 16 位高级定时器。还包含标准的通信接口：1 个 I2C 接口、2 个 UART 接口和 2 个运算放大器。

本产品系列工作电压为 7V ~ 36V，工作温度范围（环境温度）包含 -40°C ~ +85°C 的工业型（芯片同时也支持 -40°C ~ +105°C 扩展型）。内置多种省电工作模式保证低功耗应用的要求。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

- 三相永磁无刷电机
- 电动工具

本产品提供 TSSOP28，QFN28 封装形式。

具体使用说明请参考 MM32F0010 系列芯片用户手册和勘误表。

1.2 产品简述

- 内核与系统
 - Arm® Cortex®-M0 32 位微控制器
 - 最高工作频率可达 48MHz
 - 单指令周期 32 位硬件乘法器
- 存储器
 - 高达 16KB 的 FLASH 程序存储器
 - 高达 2KB 的 SRAM
- CRC 计算单元
- 时钟、复位和电源管理
 - 2.0V ~ 5.5V 供电
 - 上电/断电复位（POR/PDR）、可编程电压监测器（PVD）
 - POR 复位电压低至 1.7V
 - PVD 电压阈值可低至 1.8V
 - 外部 2 ~ 24MHz 高速晶体振荡器
 - 内嵌经出厂调校的 48MHz 高速振荡器
- 低功耗

- 睡眠 (sleep)、停机 (stop) 和待机模式 (standby)
- 6 个定时器
 - 1 个 16 位 4 通道高级控制定时器, 有 4 通道 PWM 输出, 以及死区生成和紧急停止功能
 - 1 个 16 位定时器, 有高达 3 个输入捕获/输出比较, 可用于 IR 控制解码
 - 1 个 16 位定时器, 有 1 个输入捕获/输出比较
 - 2 个看门狗定时器 (IWDG 和 WWDG)
 - 1 个 SysTick 定时器: 24 位自减型计数器
- 多达 3 个通信接口
 - 2 个 UART 接口
 - 1 个 I2C 接口
- 多达 10 个快速 I/O 端口:
 - 所有 I/O 口可以映像到 16 个外部中断
 - 所有端口均可输入输出 VDD 信号
- 1 个 12 位模数转换器, 1 μ S 转换时间 (多达 8 个输入通道)
 - 转换范围: 0 ~ VDD
 - 支持采样时间和分辨率配置
 - 片上电压传感器
- 调试模式
 - 串行调试接口 (SWD)
- 三组 PN 型半桥式栅极驱动器 (详细信息请参考数据手册第 5 章)
 - 工作电压: 7V~36V
 - 内建 5V LDO
 - 内建两路运放
- 采用 TSSOP28, QFN28

2 规格说明

2.1 型号列表

2.1.1 订购信息

表 1 订购信息

产品型号		MM32SPIN040C
外围接口		
闪存 KB		16
SRAM KB		2
定时器	通用 (16 bit)	1
	基本	1
	高级	1
通讯接口	UART	2
	I2C	1
GPIO 端口数		10
12 位 ADC	个数	1
	通道数	5
运放		2
CPU 频率		48 MHz
工作电压		7V ~ 36V
工作温度		-40°C ~ +105°C
封装		TSSOP28,QFN28

2.1.2 丝印

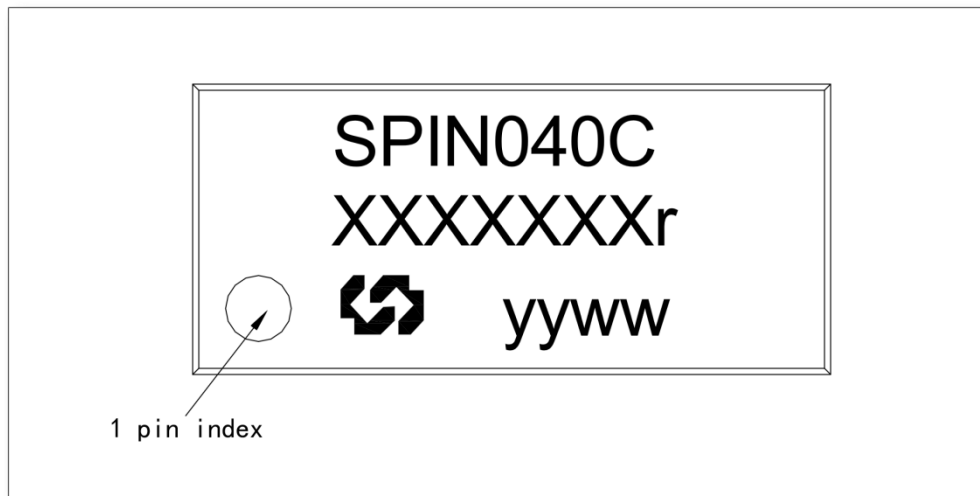


图 1 TSSOP28 丝印标识

TSSOP 封装有如下丝印：

- 第一行：SPIN040C
- 第二行：xxxxxxxr
 - 追溯码 + 芯片版本号，其中“r”表示芯片版本号。
- 第三行：公司 logo + yyww
 - 日期编码，其中“yy”表示年，“ww”表示周。

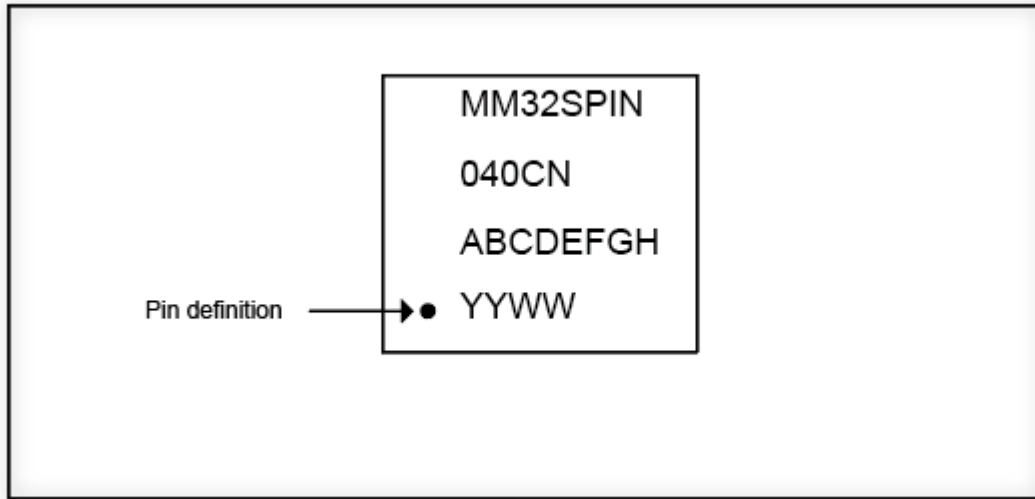


图 2 QFN20 丝印标识

QFN20 封装一般在顶层包含如下丝印：

- 第一行和第二行：MM32SPIN040CN
- 第三行：ABCDEFGH
 - 追溯码。
- 第三行：YYWW
 - 日期编码，其中“YY”表示年，“WW”表示周。

2.1.3 模块框图

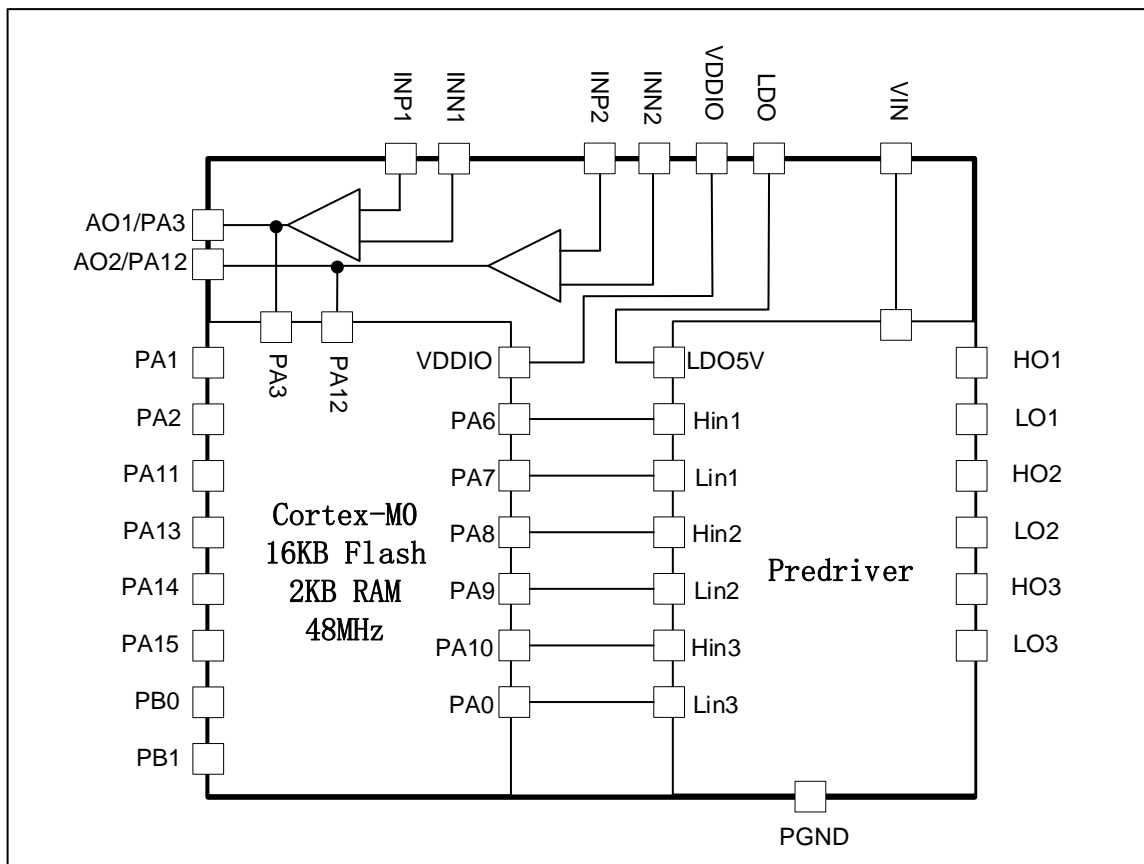


图 3 模块框图

2.2 功能说明

2.2.1 内核简介

Arm® Cortex®-M0 处理器是一个可配置的并具有多级流水线的 32 位精简指令集处理器，具有高性能和低功耗的特点。

2.2.2 存储器映像

表 2 存储器映像

总线	编址范围	大小	外设	备注
Flash	0x0000 0000–0x0000 3FFF	16 KB	Mapped to Main Flash memory	
	0x0000 4000–0x07FF FFFF	~ 127 MB	Reserved	
	0x0800 0000–0x0800 3FFF	16 KB	Main Flash memory	
	0x0800 0000–0x1FFD FFFF	~ 383 MB	Reserved	
	0x1FFE 0000–0x1FFE 1BFF	7 KB	Reserved	
	0x1FFE 1C00–0x1FFF F3FF	~ 256 MB	Reserved	
	0x1FFF F400–0x1FFF F7FF	1 KB	System memory	
	0x1FFF F800–0x1FFF F80F	16 B	Option bytes	
SRAM	0x2000 0000–0x2000 07FF	2 KB	SRAM	

规格说明

总线	编址范围	大小	外设	备注
	0x2000 0700–0x2FFF FFFF	~ 255 MB	Reserved	
APB1	0x4000 0000–0x4000 03FF	1 KB	Reserved	
	0x4000 0400–0x4000 07FF	1 KB	TIM3	
	0x4000 0800–0x4000 0BFF	1 KB	Reserved	
	0x4000 2800–0x4000 2BFF	1 KB	Reserved	
	0x4000 2C00–0x4000 2FFF	1 KB	WWDG	
	0x4000 3000–0x4000 33FF	1 KB	IWDG	
	0x4000 3400–0x4000 37FF	1 KB	Reserved	
	0x4000 3800–0x4000 3BFF	1 KB	Reserved	
	0x4000 4000–0x4000 43FF	1 KB	Reserved	
	0x4000 4400–0x4000 47FF	1 KB	UART2	
	0x4000 4800–0x4000 4BFF	3 KB	Reserved	
	0x4000 5400–0x4000 57FF	1 KB	I2C1	
	0x4000 5800–0x4000 6BFF	5 KB	Reserved	
	0x4000 6C00–0x4000 6FFF	1 KB	Reserved	
	0x4000 7000–0x4000 73FF	1 KB	PWR	
	0x4000 7400–0x4000 FFFF	35 KB	Reserved	
	APB1	0x4001 0000–0x4001 03FF	1 KB	SYSCFG
0x4001 0400–0x4001 07FF		1 KB	EXTI	
0x4001 0800–0x4001 23FF		7 KB	Reserved	
0x4001 2400–0x4001 27FF		1 KB	ADC1	
0x4001 2800–0x4001 2BFF		1 KB	Reserved	
0x4001 2C00–0x4001 2FFF		1 KB	TIM1	
0x4001 3000–0x4001 33FF		1 KB	SPI1	
0x4001 3400–0x4001 37FF		1 KB	DBGMCU	
0x4001 3800–0x4001 3BFF		1 KB	UART1	
0x4001 3C00–0x4001 3FFF		1 KB	Reserved	
0x4001 4000–0x4001 43FF		1 KB	TIM14	
0x4001 4400–0x4001 47FF		1 KB	Reserved	
0x4001 4800–0x4001 4BFF		1 KB	Reserved	
0x4001 4C00–0x4001 7FFF		13 KB	Reserved	
AHB		0x4002 0000–0x4002 03FF	1 KB	Reserved
	0x4002 0400–0x4002 0FFF	3 KB	Reserved	
	0x4002 1000–0x4002 13FF	1 KB	RCC	
	0x4002 1400–0x4002 1FFF	3 KB	Reserved	
	0x4002 2000–0x4002 23FF	1 KB	Flash Interface	
	0x4002 2400–0x4002 2FFF	3 KB	Reserved	
	0x4002 3000–0x4002 33FF	1 KB	CRC	
	0x4002 3400–0x47FF FFFF	~ 127 MB	Reserved	

总线	编址范围	大小	外设	备注
	0x4800 0000–0x4800 03FF	1 KB	GPIOA	
	0x4800 0400–0x4800 07FF	1 KB	GPIOB	
	0x4800 0800–0x4800 0BFF	1 KB	Reserved	
	0x4800 0C00–0x4800 0FFF	1 KB	Reserved	
	0x4800 1000–0x5FFF FFFF	~ 384 MB	Reserved	

2.2.3 内置闪存存储器（FLASH）

最大 16KB 的内置 FLASH 存储器，用于存放程序和数据。

2.2.4 内置 SRAM（SRAM）

最大 2KB 的内置 SRAM。

2.2.5 循环冗余校验计算单元（CRC）

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.2.6 嵌套的向量式中断控制器（NVIC）

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道（不包括 16 个 Cortex®-M0 的中断线）和 4 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态

中断返回时自动恢复，无需额外指令开销该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.7 外部中断/事件控制器（EXTI）

外部中断/事件控制器包含多个边沿检测器，用于捕获来自 IO 引脚的电平变化，进而产生中断/事件请求。所有 IO 引脚可以连接到 16 个外部中断线。每个中断线均可独立开关，或启用各自的触发模式（上升沿、下降沿或双边沿）。一个挂起状态寄存器将会维持所有中断请求的状态。

EXTI 可以检测到脉冲宽度小于内部 AHB 总线时钟周期的电平变化。

2.2.8 时钟和启动

多个预分频器用于配置 AHB 的频率、高速 APB 区域。AHB 和高速 APB 的最高频率是 48MHz。参考图 4 的时钟驱动框图。

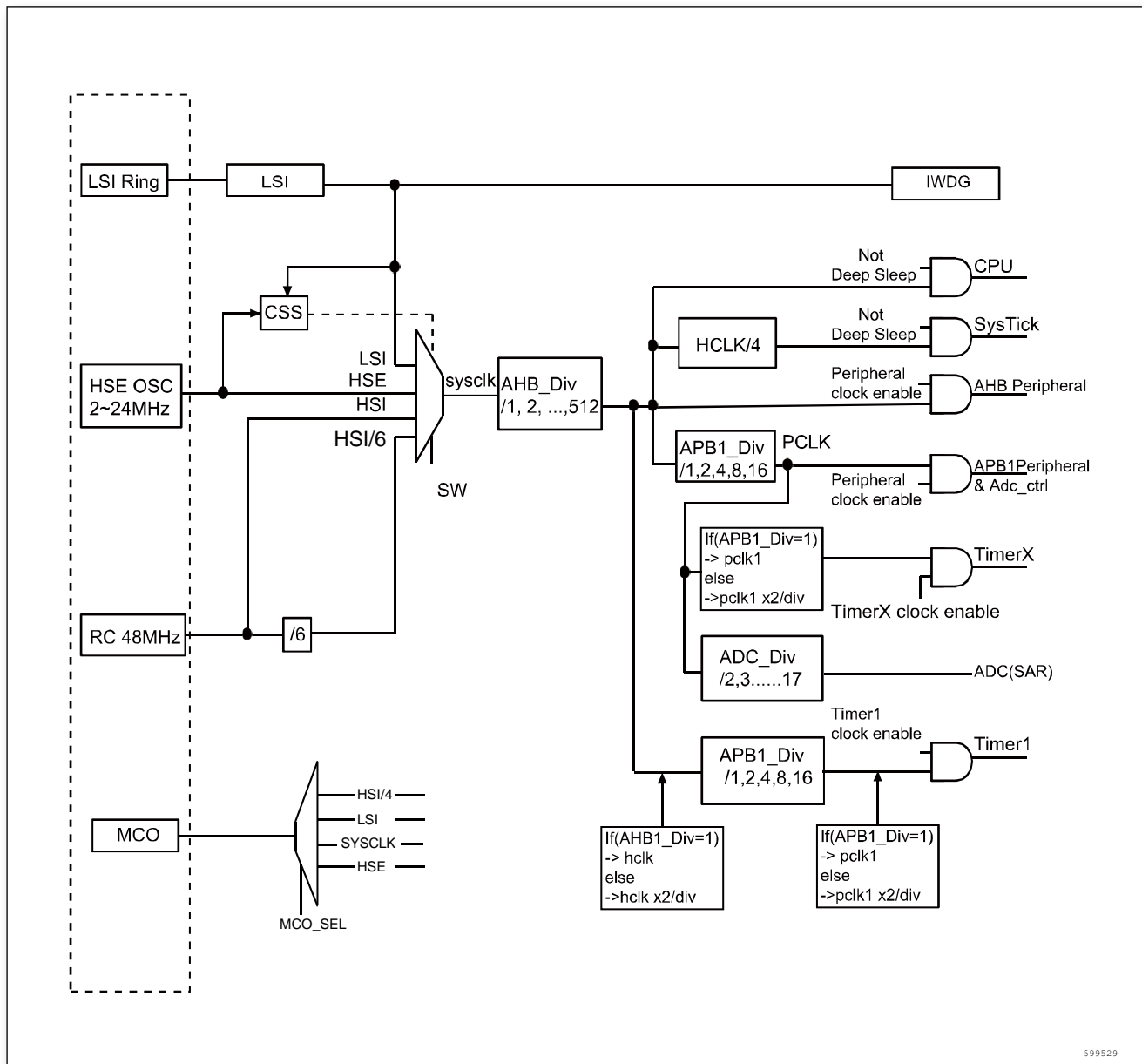


图 4 时钟树

2.2.9 供电方案

$V_{DD} = 2.0V \sim 5.5V$: 通过 V_{DD} 引脚为 I/O 引脚和内部调节器供电。

2.2.10 供电监控器

本产品内部集成了上电复位 (POR)/掉电复位 (PDR) 电路, 该电路始终处于工作状态, 保证系统供电超过 2.0V 时工作; 当 V_{DD} 低于设定的阈值 (V_{POR}/PDR) 时, 置器件于复位状态, 而不必使用外部复位电路。

器件中还有一个可编程电压监测器 (PVD), 它监视 V_{DD} 供电并与阈值 V_{PVD} 比较, 当 V_{DD}

低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

2.2.11 电压调压器

片内的电压调压器将外部电压转成内部逻辑电路工作的电压。电压调压器在芯片复位后时钟处于工作状态。

2.2.12 低功耗模式 (LP)

产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

表 3 低功耗模式一览表

模式	进入	唤醒	对1.5V 区域时钟的影响	对V _{DD} 区域时钟的影响	电压调节器
睡眠 (SLEEP NOW 或 SLEEP ON EXIT)	WFI (Wait for Interrupt)	任一中断	CPU 时钟关, 对其他时钟和ADC 时钟无影响	无	开
	WFE (Wait for Event)	唤醒事件			
停机	PDDS=0 LPDS=0 或 1 ⁽¹⁾ SLEEPDEEP=1 WFI 或 WFE	任一外部中断 (在外部中断寄存器中设置)	所有使用1.5V 的区域时钟都已关闭	HSI 和 HSE 的振荡器关闭	开
待机	PDDS=1 SLEEPDEEP=1 WFI 或 WFE	WKUP 引脚的上升沿、NRST 引脚上的外部复位、IWDG 复位			关

1) LPDS=1 时可以获得更低的功耗，具体请参照表 5。

表 4 不同功耗模式对应 IP 状态表

模块/模式	Run	Sleep	Stop (LPDS=0)	Stop (LPDS=1)	Standby
RCC	ON	ON	ON	ON	Power Down
EXTI	ON	ON	ON	ON	Power Down
CORTEXM0	ON	OFF	OFF	OFF	Power Down
UARTx	Optional	Optional	OFF	OFF	Power Down
I2Cx	Optional	Optional	OFF	OFF	Power Down
WWDG	Optional	Optional	OFF	OFF	Power Down
SPIx	Optional	Optional	OFF	OFF	Power Down
CRC	Optional	Optional	OFF	OFF	Power Down
TIMERx	Optional	Optional	OFF	OFF	Power Down
FLASH	ON	Standby	Standby	Deep Standby	Power Down
SRAM	ON	ON	Retention	Retention	Power Down
HSE (2-24MHz)	Optional	Optional	OFF	OFF	OFF
HSI RC 48M	ON	Optional	ON	ON	Power Down
LSI RC (40Khz)	Optional	Optional	Optional	Optional	Optional
IWDG	Optional	Optional	Optional	Optional	Optional
PVD	Optional	Optional	Optional	Optional	OFF

模块/模式	Run	Sleep	Stop (LPDS=0)	Stop (LPDS=1)	Standby
PWR	ON	ON	ON	ON	ON
ADC	Optional	Optional	OFF	OFF	OFF
GPIO_CTRL	Optional	Optional	Optional	Optional	Power Down
IO	ON	ON	ON	ON	ON

- 1) Power Down: 模块掉电，数据丢失
- 2) Optional: 软件可配置开或者关
- 3) ON: 工作
- 4) OFF: 功能关闭
- 5) Retention: 数据保留但无法操作

睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，HSI 的振荡器和 HSE 晶体振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

待机模式

待机模式可实现系统的最低功耗。该模式是在 CPU 深睡眠模式时关闭电压调节器。内部所有的 1.5V 部分的供电区域被断开。HSI 和 HSE 振荡器也都关闭，可以通过 WKUP 引脚的上升沿、NRST 引脚的外部复位、IWDG 复位唤醒或者看门狗定时器唤醒并复位。SRAM 和寄存器的内容将被丢失。

2.2.13 定时器和看门狗 (TIM & WDG)

产品包含 1 个高级定时器、1 个通用定时器、1 个基本定时器。以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。下表比较了高级控制定时器、通用定时器和基本定时器的功能：

表 5 定时器功能比较

定时器类型	名称	计数器分辨率	计数器类型	预分频系数	捕获/比较通道	互补输出
高级	TIM1	16 位	递增、递减、 递增/递减	1 ~ 65536 之间的 任意 整数	4	有
通用	TIM3	16 位	递增、递减、 递增/递减	1 ~ 65536 之间的 任意 整数	4	无
基本	TIM14	16 位	递增	1 ~ 65536 之间的 任意 整数	1	无

高级控制定时器 (TIM1)

高级控制定时器是由 16 位计数器、4 个捕获/比较通道以及三相互补 PWM 发生器组成，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以

用于：

- 输入捕获
- 输出比较
- 产生PWM（边缘或中心对齐模式）
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIM3 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力（0 ~ 100%）。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器（TIM3）

产品内置了 1 个可同步运行的通用定时器（TIM3）。定时器有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 3 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。

在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。

通用定时器还能够对增量编码器的信号进行解码，也能处理 1 ~ 3 个霍尔传感器的数字输出。每个定时器都可用作 PWM 输出或作为简单时间基准。

基本定时器（TIM14）

该定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。具有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。在调试模式下，其计数器可被冻结。

独立看门狗（IWDG）

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟。因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗（WWDG）

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统滴答定时器（Systick）

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器

- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.14 通用异步收发器 (UART)

UART 接口支持 LIN 主从功能。兼容 ISO7816 智能卡模式。UART 接口支持输出数据长度可为 5 位、6 位、7 位、8 位、9 位均可配置。最大波特率可达 3Mbps。

2.2.15 I2C 总线 (I2C)

I2C 总线接口，能够工作于多主模式或从模式，支持标准和快速模式。

I2C 接口支持 7 位或 10 位寻址。

从模式支持多地址响应。

2.2.16 串行外设接口 (SPI)

SPI 接口，在从或主模式下，可配置成每帧 1 ~ 32 位。主模式最大速率 24M，从模式最大速率 12M。

2.2.17 通用输入输出接口 (GPIO)

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

2.2.18 模拟/数字转换器 (ADC)

产品内嵌 1 个 12 位的模拟/数字转换器 (ADC)，ADC 可用多达 8 个外部通道，可以实现单次、单周期和连续扫描转换。在扫描模式下，自动进行已选定的一组模拟输入上的采集值转换。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器 (TIM3) 和高级控制定时器产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 ADC 转换与时钟同步。

2.2.19 串行调试口 (SWD)

内嵌 Arm 的两线串行调试端口 (SW-DP)。

Arm 的 SW-DP 接口允许通过串行线调试工具连接到单片机。

3 引脚定义及复用功能

3.1 引脚分布图

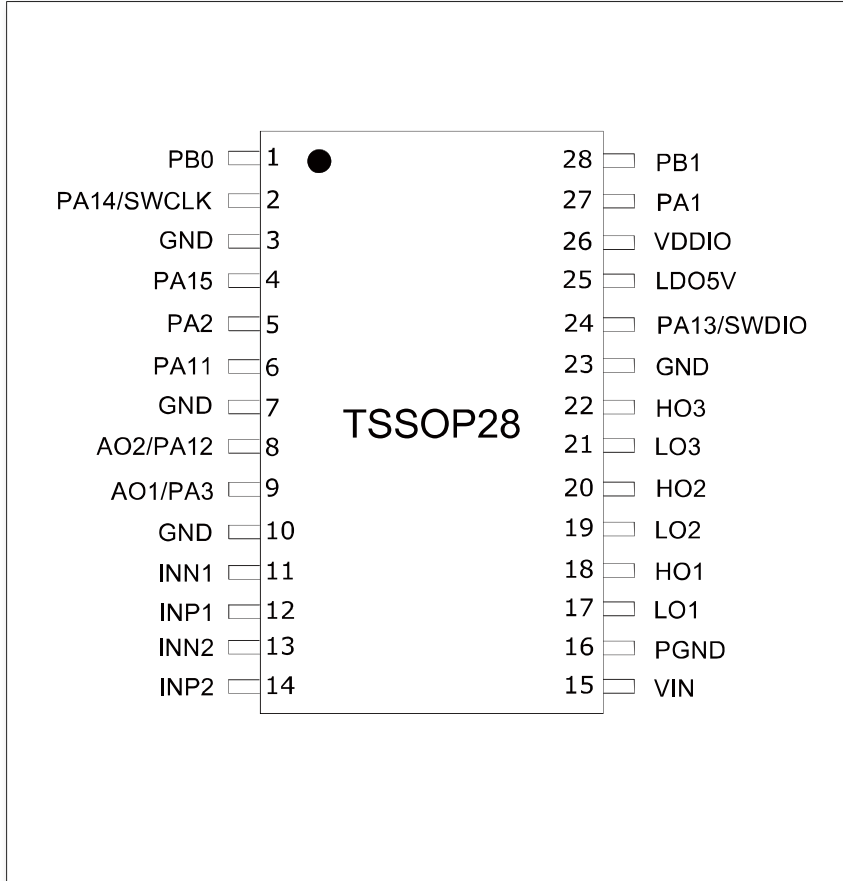


图 5 TSSOP28 引脚分布图

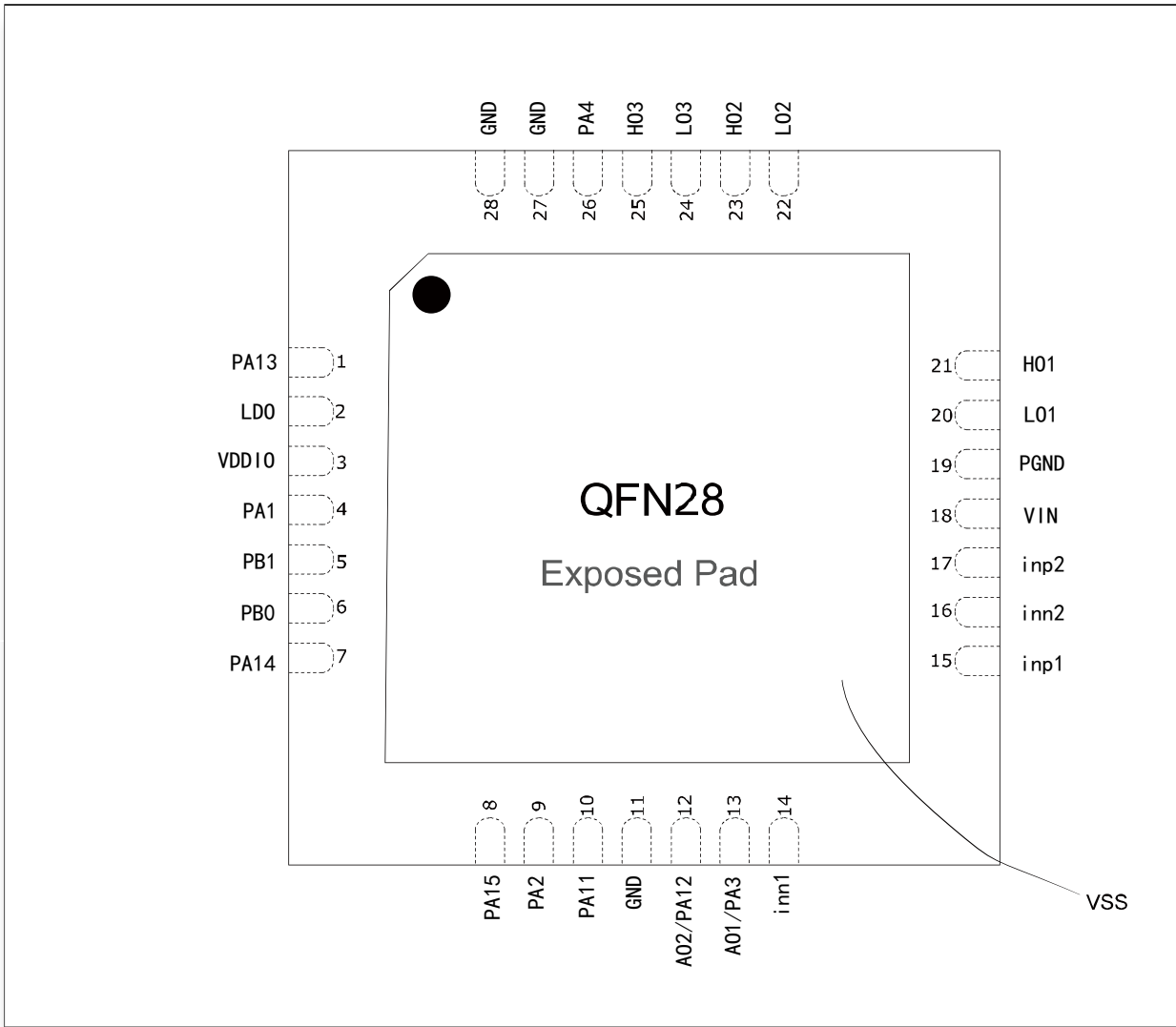


图 6 QFN28 引脚分布图

3.2 引脚定义表

表 6 引脚定义

引脚编码		引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
QFN28	TSSOP28						
6	1	PB0 OSC_IN	I/O	TC	PB0		ADC1_VIN[1]
7	2	PA14	I/O	TC	PA14	SWDCLK/ UART1_TX	nRST ⁽³⁾
27	3	VSS	S		VSS		
8	4	PA15	I/O	TC	PA15	SPI_NSS TIM1_CH3N TIM3_CH3	ADC1_VIN[6]
9	5	PA2	I/O	TC	PA2	TIM1_CH2N TIM3_CH2	ADC1_VIN[5]
10	6	PA11	I/O	TC	PA11	TIM1_CH2 TIM14_CH1/	ADC1_VIN[4]

引脚定义及复用功能

						TIM3_CH1	
11	7	VSS	S		VSS		
12	8	AO2/PA12	I/O	TC	PA12	UART1_TX	ADC1_VIN[3]
13	9	AO1/PA3	I/O	TC	PA3	UART1_RX	ADC1_VIN[2]
	10	VSS	S		VSS		
14	11	INN1	I	-	INN1		
15	12	INP1	I	-	INP1		
16	13	INN2	I	-	INN2		
17	14	INP2	I	-	INP2		
18	15	VIN	S	-	VIN		
19	16	PGND	S	-	PGND		
20	17	LO1	-	-	LO1		
21	18	HO1	-	-	HO1		
22	19	LO2	-	-	LO2		
23	20	HO2	-	-	HO2		
24	21	LO3	-	-	LO3		
25	22	HO3	-	-	HO3		
26		PA4	I/O	TC	PA4	TIM1_BKIN I2C_SDA	
28	23	VSS	S		VSS		
1	24	PA13	I/O	TC	PA13	SWDIO UART1_RX UART2_RX I2C1_SCL	
2	25	LDO	S		LDO-5V		
3	26	VDDIO	S		VDD		
4	27	PA1	I/O	TC	PA1	UART2_TX I2C1_SDA	
5	28	PB1 OSC_OUT	I/O	TC	PB1		ADC1_VIN[0]
		PA0	I/O	TC	PA0	TIM1_CH3N	
		PA6	I/O	TC	PA6	TIM1_CH1	
		PA7	I/O	TC	PA7	TIM1_CH1N	
		PA9	I/O	TC	PA9	TIM1_CH2N	
		PA8	I/O	TC	PA8	TIM1_CH2	
		PA10	I/O	TC	PA10	TIM1_CH3	

- 1) I = 输入, O = 输出, S = 电源, HiZ = 高阻
- 2) TC: 标准 IO, 输入信号不超过 VDD 电压
- 3) 当 RCC_SYSCFG 的 SFT_NRST_RMP 位被设置为 1 时, PA14 被映射为 nRST 外部 复位, 且复位时低电平至少保持 4us。

3.3 复用功能表

引脚定义及复用功能

表 7 PA 端口复用

Pin	AF0	AF1	AF2	AF3	AF4
PA0	SPI1_NSS	UART1_RX	TIM1_CH3N	I2C1_SCL	TIM3_CH3
PA1			UART2_TX	I2C1_SDA	
PA2			TIM1_CH2N		TIM3_CH2
PA3		UART1_RX			
PA4			TIM1_BKIN	I2C_SDA	
PA5	SPI_SCK			I2C_SCL	
PA6	SPI1_MOSI	TIM1_CH1	TIM1_CH1N		TIM1_CH3
PA7	SPI1_MISO	TIM1_CH1N	TIM1_CH2N	MCO	TIM1_CH4
PA8	SPI1_SCK	TIM1_CH2			TIM3_CH1
PA9	SPI1_MOSI	TIM1_CH2N	TIM1_CH1	TIM14_CH1	
PA10	SPI1_MISO	TIM1_CH3	TIM1_CH2		
PA11			TIM1_CH2	TIM14_CH1	TIM3_CH1
PA12		UART1_TX			
PA13	SWDIO	UART1_RX	UART2_RX	I2C_SCL	
PA14	SWDCLK	UART1_TX			
PA15	SPI_NSS	TIM1_CH3N			TIM3_CH3

表 8 Gate Driver 引脚说明表

引脚号		引脚名称	引脚功能
QFN28	TSSOP28		
12	8	AO2	OP2 输出，和 PA12 相连。作为 ADC 使用时不能直接采样，需连接电压跟随器或一般放大电路来进行采样。
13	9	AO1	OP1 输出，和 PA3 相连。作为 ADC 使用时不能直接采样，需连接电压跟随器或一般放大电路来进行采样。
14	11	INN1	OP1 负端输入
15	12	INP1	OP1 正端输入
16	13	INN2	OP2 负端输入
17	14	INP2	OP2 正端输入
18	15	VIN	电源输入，需连接 1uF 电容到 GND
19	16	PGND	Gate driver 的 GND
20	17	LO1	栅极驱动器下桥臂输出 1，其输入对应到 PA7
21	18	HO1	栅极驱动器上桥臂输出 1，其输入对应到 PA6
22	19	LO2	栅极驱动器下桥臂输出 2，其输入对应到 PA9
23	20	HO2	栅极驱动器上桥臂输出 2，其输入对应到 PA8
24	21	LO3	栅极驱动器下桥臂输出 3，其输入对应到 PA0
25	22	HO3	栅极驱动器上桥臂输出 3，其输入对应到 PA10
2	25	LDO5V	5V LDO 输出，供给内部 VDD 电源 5V 系统。需连接 1uF 和 0.1uF 电容到 GND

3.4 功能框图

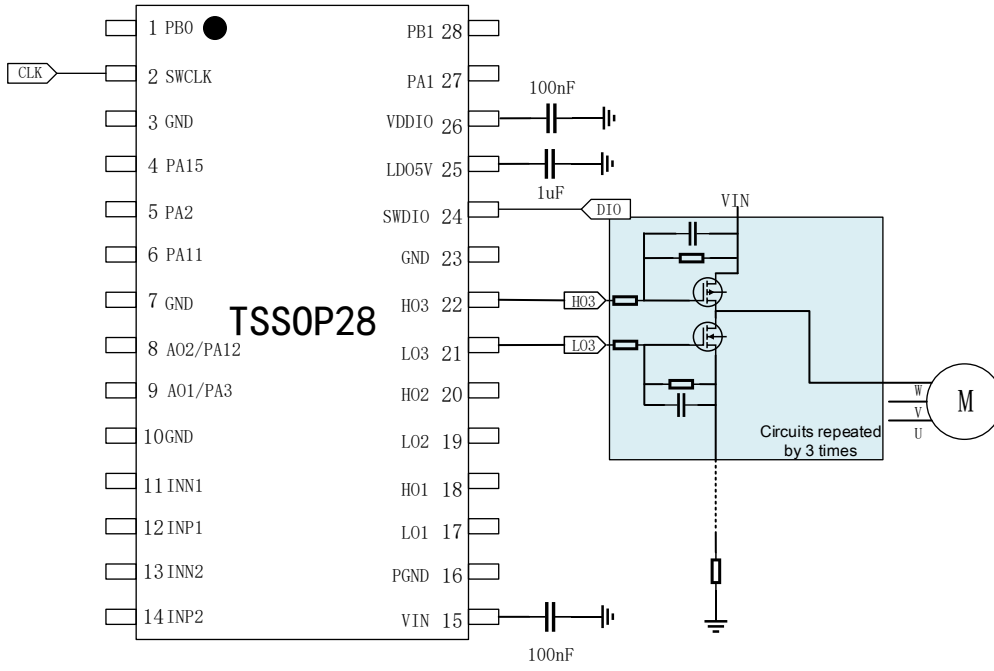


图 7 功能框图

4 电气特性

4.1 测试条件

除非特别说明，所有电压都以 V_{SS} 为基准。

4.1.1 负载电容

测量引脚参数时的负载条件示于图 8。

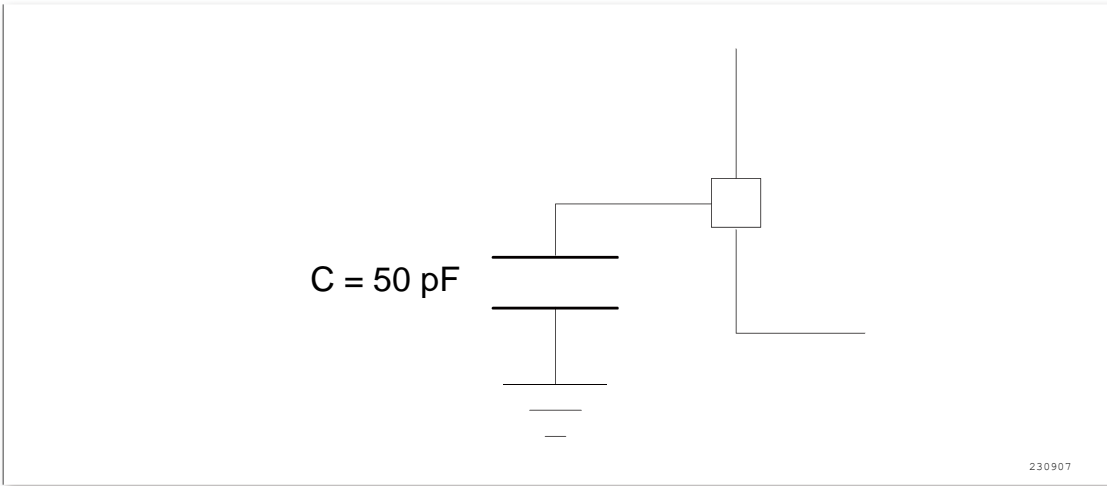


图 8 引脚负载条件

4.1.2 引脚输入电压

引脚上输入电压的测量方式示于图 9。

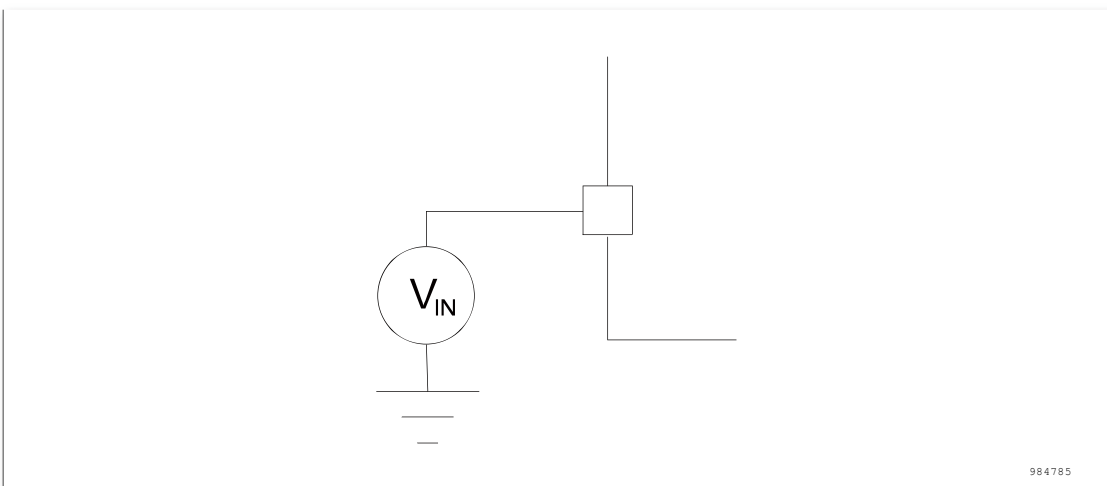


图 9 引脚输入电压

4.1.3 供电方案 Power Supply

供电设计方案示于图 10。

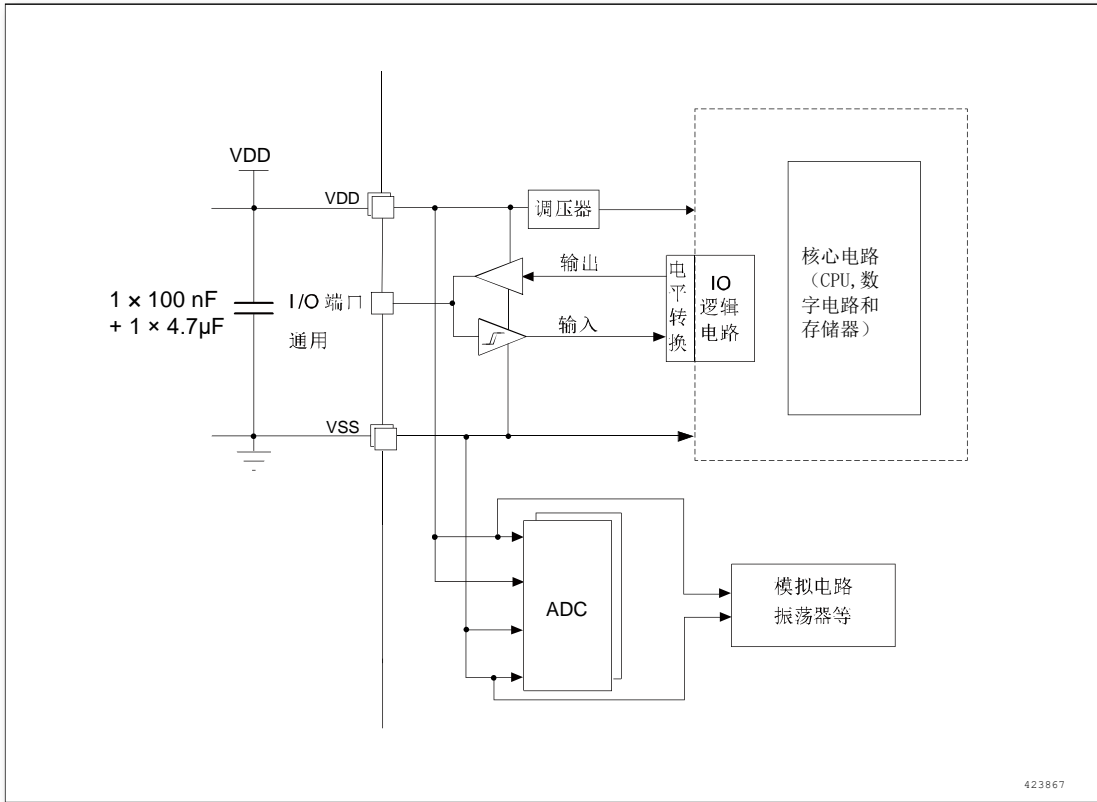


图 10 供电方案

4.1.4 电流消耗测量

引脚上电流消耗的测量方式示于图 11。

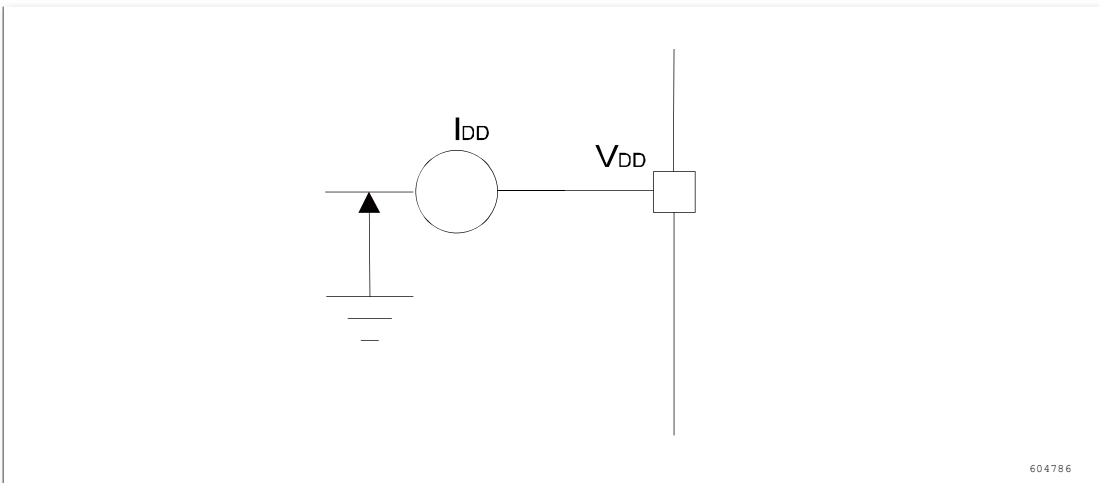


图 11 电流测量方案

4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表（表 9、表 10）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 9 电压特性

符号	参数	最小值	最大值	单位
$V_{DD}-V_{SS}$	外部主供电电压 ⁽¹⁾	-0.3	5.8	V
V_{IN}	在其它引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{DD}+0.3$	

- 1) 所有的电源（ V_{DD} ）和地（ V_{SS} ）引脚必须始终连接到外部允许范围内的供电系统上。
- 2) 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见表 10。

表 10 电流特性

符号	参数	最小值	最大值	单位
I_{VDD}	经过 V_{DD} 电源线的总电流（供应电流） ⁽¹⁾	-	+60	mA
I_{VSS}	经过 V_{SS} 地线的总电流（流出电流） ⁽¹⁾	-	-60	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	-	+25	
	任意 I/O 和控制引脚上的输出电流	-	-25	
$I_{INJ(PIN)}$ ⁽²⁾⁽³⁾	NRST 引脚的注入电流	-	±5	
	HSE 的 OSC_IN 引脚的注入电流	-	±5	
$\sum I_{INJ(PIN)}$ ⁽⁴⁾	其他引脚的注入电流	-	±25	

- 1) 所有的电源（ V_{DD} ）和地（ V_{SS} ）引脚必须始终连接到外部允许范围内的供电系统上。
- 2) $I_{INJ(PIN)}$ 绝对不可以超过它的极限，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时，有一个正向注入电流；当 $V_{IN} < V_{SS}$ 时，有一个反向注入电流。
- 3) 反向注入电流会干扰器件的模拟性能。
- 4) 当几个 I/O 口同时有注入电流时， $\sum I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的
- 5) 即时绝对值之和。该结果基于在器件所有 I/O 端口上 $\sum I_{INJ(PIN)}$ 最大值的特性。

4.3 工作条件

4.3.1 通用工作条件

表 11 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	0	-	48	MHz
f_{PCLK1}	内部 APB1 时钟频率	-	0	-	48	
V_{DD}	标准工作电压	-	2.0	-	5.5	V
P_D	功率耗散 温度: $T_A = 105^\circ\text{C}$ ⁽¹⁾	QFN28		377.4		mW
		TSSOP28		307.7		

电气特性

符号	参数	条件	最小值	典型值	最大值	单位
T _A	T _A =85°C	最大功率耗散	-40	-	85	°C
	T _A =105°C	最大功率耗散	-40	-	105	°C
T _J	节温范围 ⁽²⁾	拓展型 (T _A =105°C)	-40	-	125	°C

- 1) 如果 T_A 较低，只要 T_J 不超过 T_{Jmax}，则允许更高的 P_D 数值。
- 2) 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax}，T_A 可以扩展到这个范围。

4.3.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 12 上电和掉电的工作条件^{(1) (2)}

符号	条件	最小值	典型值	最大值	单位
t _{VDD}	V _{DD} 上升时间 t _r	10	-	500000	us
	V _{DD} 下降时间 t _f	50	-	∞	
V _{ft} ⁽³⁾	掉电阈值电压	-	0	-	mV

- 1) 由综合评估得出，不在生产中测试
- 2) 芯片上与掉电 V_{DD} 波形需严格遵循以下波形图中 t_r 和 t_f 阶段，上电过程不得出现掉电现象
- 3) 注：为确保芯片上电可靠性，芯片上电应从 0 V 开始

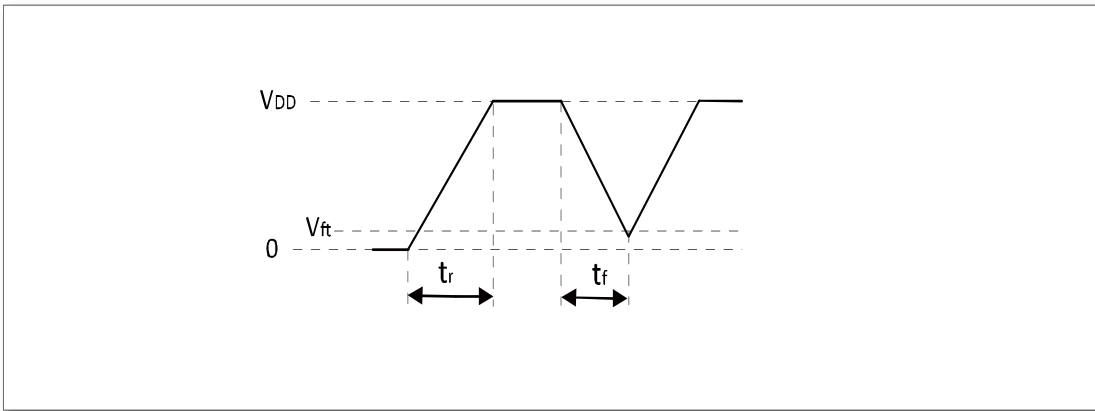


图 12 上电与掉电波形

4.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 11 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 13 内嵌复位和电源控制模块特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程的电压检测器的电平选择	PLS[3:0]=0000 (上升沿)	-	1.8	-	V
		PLS[3:0]=0000 (下降沿)	-	1.7	-	
		PLS[3:0]=0001 (上升沿)	-	2.1	-	

符号	参数	条件	最小值	典型值	最大值	单位
		PLS[3:0]=0001 (下降沿)	-	2.0	-	
		PLS[3:0]=0010 (上升沿)	-	2.4	-	
		PLS[3:0]=0010 (下降沿)	-	2.3	-	
		PLS[3:0]=0011 (上升沿)	-	2.7	-	
		PLS[3:0]=0011 (下降沿)	-	2.6	-	
		PLS[3:0]=0100 (上升沿)	-	3.0	-	
		PLS[3:0]=0100 (下降沿)	-	2.9	-	
		PLS[3:0]=0101 (上升沿)	-	3.3	-	
		PLS[3:0]=0101 (下降沿)	-	3.2	-	
		PLS[3:0]=0110 (上升沿)	-	3.6	-	
		PLS[3:0]=0110 (下降沿)	-	3.5	-	
		PLS[3:0]=0111 (上升沿)	-	3.9	-	
		PLS[3:0]=0111 (下降沿)	-	3.8	-	
		PLS[3:0]=1000 (上升沿)	-	4.2	-	
		PLS[3:0]=1000 (下降沿)	-	4.1	-	
		PLS[3:0]=1001 (上升沿)	-	4.5	-	
		PLS[3:0]=1001 (下降沿)	-	4.4	-	
		PLS[3:0]=1010 (上升沿)	-	4.8	-	
		PLS[3:0]=1010 (下降沿)	-	4.7	-	
V _{PVDhyst}	PVD 迟滞	-	-	100	-	mV
V _{POR/PDR}	上电/掉电复位阈值	翻转点	-	1.65	-	V
T _{RSTTEMPO} ⁽²⁾	复位持续时间	-	-	4.6	-	ms

1) 由设计保证，不在生产中测试。

2) 注：复位持续时间的测量方法为从上电（POR 复位）到用户应用代码第一个 IO 翻转的时刻。

4.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

```
int main ( )
{
SystemInit ( ) ;
.....
while ( 1 ) {}
}
```

典型的电流消耗

电气特性

MCU 处于下述条件下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上 V_{DD} 或 V_{SS} （无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24 MHz 时为 0 个等待周期，24 ~ 48MHz 时为 1 个等待周期）。
- 环境温度和 V_{DD} 供电电压条件列于表 11。
- 指令预取功能开启。当开启外设时： $f_{HCLK} = f_{PCLK1}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 14 运行模式高低温下的典型供应电流^{(1) (2)}

符号	参数	条件	f_{HCLK} (HZ)	典型值 使能所有外设				典型值 关闭所有外设				单位
				-40°C	25°C	85°C	105°C	-40°C	25°C	85°C	105°C	
I_{DD}	运行模式下的供应电流	内部时钟	48M	6.77	6.94	7.12	7.20	4.02	4.16	4.32	4.40	mA
			24M	4.19	4.32	4.49	4.56	2.54	2.64	2.80	2.87	
			8M	1.86	1.98	2.17	2.23	1.40	1.52	1.71	1.77	
			4M	1.37	1.48	1.64	1.72	1.10	1.20	1.37	1.45	
			2M	1.08	1.18	1.33	1.40	0.95	1.05	1.19	1.26	
			1M	0.94	1.04	1.17	1.24	0.87	0.97	1.11	1.17	
			500K	0.87	0.96	1.10	1.16	0.84	0.93	1.07	1.13	
			125K	0.82	0.91	1.05	1.11	0.81	0.90	1.03	1.10	

表 15 睡眠模式高低温下的典型供应电流^{(1) (2)}

符号	参数	条件	f_{HCLK} (HZ)	典型值 使能所有外设				典型值 关闭所有外设				单位
				-40°C	25°C	85°C	105°C	-40°C	25°C	85°C	105°C	
I_{DD}	睡眠模式下的供应电流	内部时钟	48M	4.60	4.73	4.90	4.97	1.83	1.94	2.08	2.15	mA
			24M	3.00	3.12	3.26	3.34	1.33	1.43	1.57	1.63	
			8M	1.43	1.53	1.67	1.73	0.97	1.06	1.20	1.26	
			4M	1.16	1.26	1.39	1.46	0.88	0.98	1.11	1.18	
			2M	0.98	1.07	1.21	1.27	0.84	0.94	1.07	1.13	
			1M	0.89	0.98	1.12	1.18	0.82	0.91	1.05	1.11	
			500K	0.84	0.94	1.07	1.13	0.81	0.90	1.04	1.10	
			125K	0.81	0.91	1.04	1.10	0.80	0.89	1.03	1.09	

1) 典型值是在 $V_{DD}=3.3V$ 时测试得到。

2) HCLK 频率小于 8MHz 时，系统时钟为 HSI 分频得到

表 16 停机和待机模式高低温下的典型供应电流

符号	参数	条件	典型值				最大值	单位
			-40°C	25°C	85°C	105°C	25°C	
I_{DD}	待机模式下的供应电流	PWR->CR 寄存器 bit0 设置为 1	1.3	2.1	12.6	31.0	15.0	μA

电气特性

符号	参数	条件	典型值				最大值	单位
			-40°C	25°C	85°C	105°C	25°C	
	待机模式下的供应电流	LSI、IWDG 开	1.0	1.1	2.4	6.2	-	
	待机模式下的供应电流	IWDG 关	0.4	0.4	1.7	5.5	1.0	

- 1) 典型值是在供电电压为 3.3V，TA = 25°C 时测试得到。
- 2) 由综合评估得出，不在生产中测试。IO 状态为模拟输入。

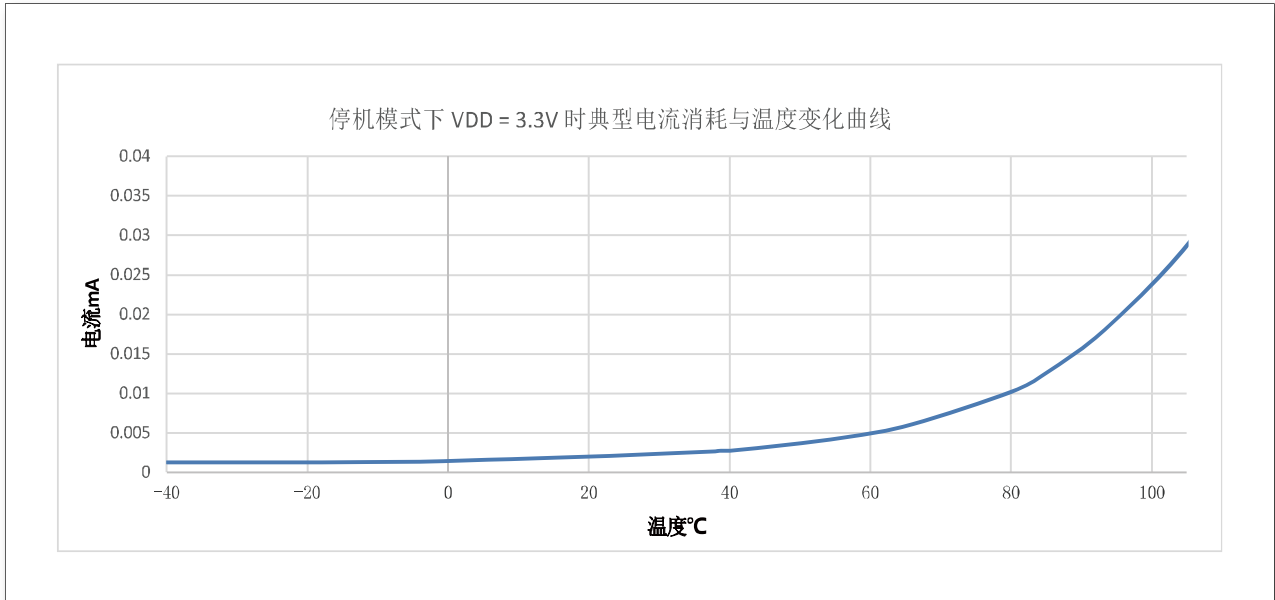


图 13 待机模式下的典型电流消耗在 V_{DD} = 3.3V 时与温度的对比

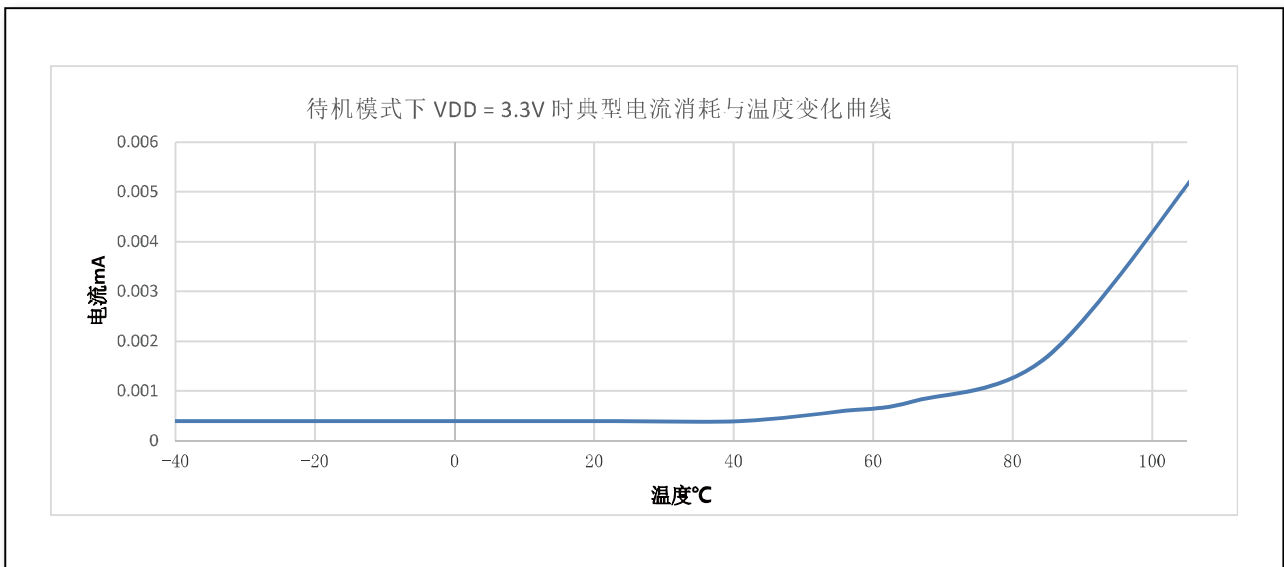


图 14 待机模式下的典型电流消耗在 V_{DD} = 3.3V 时与温度的对比

内置外设电流消耗

内置外设的电流消耗列于表 17，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表 11。

表 17 内置外设的电流消耗

总线	内置外设	典型值	单位
AHB	CRC	1.4	uA/MHz
	GPIOA	0.8	
	GPIOB	0.6	
APB1	SYSCFG	0.3	
	ADC1	1.5	
	TIM1	12.3	
	SPI1	7.7	
	UART1	7.2	
	TIM14	3.0	
	DBG	0.2	
	TIM3	8.0	
	WWDG	0.5	
	UART2	6.7	
	I2C1	10.0	
	PWR	0.5	

1) f_{HCLK} = 48MHz, f_{APB1} = f_{HCLK}/2, 每个外设的预分频系数为默认值。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟所有的时间是使用环境温度和供电电压符合通用工作条件测量得到。

表 18 低功耗模式的唤醒时间

符号	参数	条件	典型值	单位
t _{WUSLEEP} ⁽¹⁾	从睡眠模式唤醒	系统时钟为 HSI	2.81	μs

符号	参数	条件	典型值	单位
$t_{WUSTOP}^{(1)}$	从停机模式唤醒（调压器处于运行模式）	系统时钟为 HSI	9.69	
$t_{WUSTOP}^{(1)}$	从停机模式唤醒（调压器处于低功耗模式）	系统时钟为 HSI	7.65	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	PWR->CR[15:14] = 0x0	400	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	PWR->CR[15:14] = 0x1	342	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	PWR->CR[15:14] = 0x2	299	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	PWR->CR[15:14] = 0x3	217	

1) 唤醒时间为唤醒边沿到程序执行 IO 翻转时间。

4.3.5 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 19 高速外部用户时钟特性

符号	参数	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾	-	8	32	MHz
V_{HSEH}	OSC_IN 输入引脚电平电压	0.7VDD	-	VDD	V
V_{HSEL}	OSC_IN 输入引脚电平电压	VSS	-	0.3	VDD
$t_w (HSE)$	OSC_IN 高或低的时间 ⁽¹⁾	15	-	-	ns
$C_{in} (HSE)$	OSC_IN 输入容抗 ⁽¹⁾	-	5	-	pF
$DuCy (HSE)$	占空比	-	50	-	%

1) 由设计中保证，不在生产中测试。

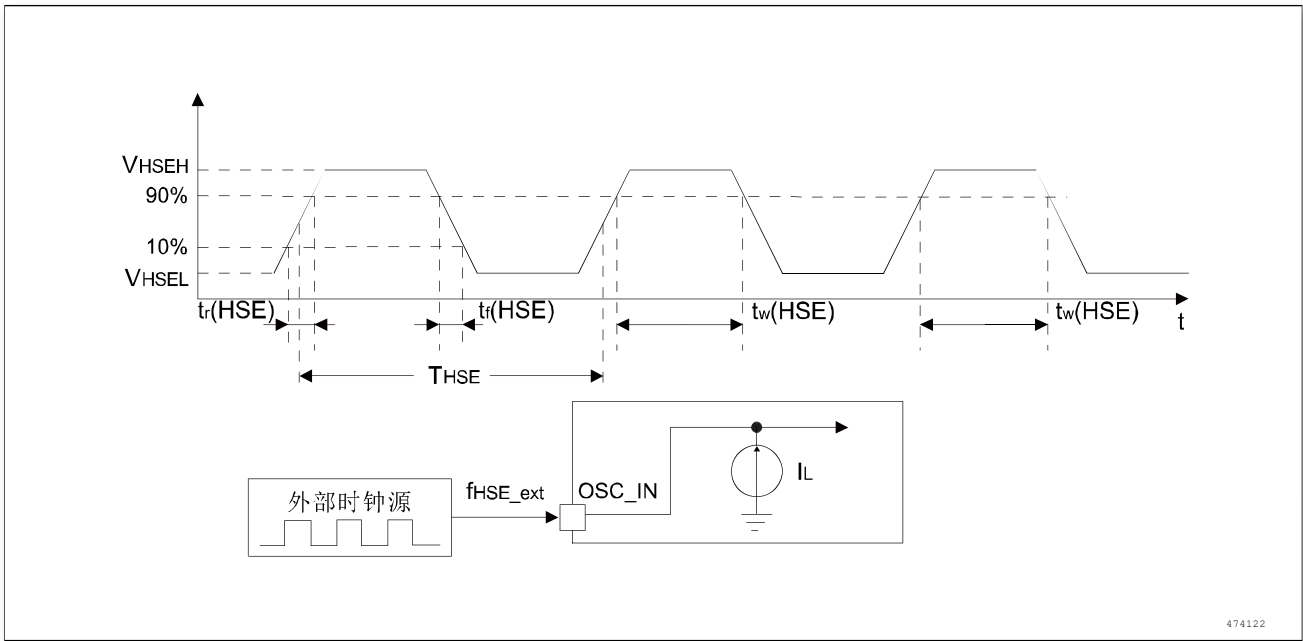


图 15 外部高速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟（HSE）可以使用一个 8 ~ 24MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表 20 HSE 8 ~ 24MH 振荡器特性^{(1) (2)}

符号	参数	条件	最小值	典型值	最大值	单位
f _{OSC_IN}	振荡器频率	2V < VDD < 3.6V	2	8	12	MHz
		3.0V < VDD < 5.5V	8	16	24	MHz
R _F	反馈电阻 ⁽³⁾	-	-	500	-	kΩ
ESR	支持晶体串行阻抗 (C _{L1} C _{L2} ⁽⁴⁾ 为 16pF)	f _{OSC_IN} = 24M VDD = 3V	-	-	60	Ω
		f _{OSC_IN} = 12M VDD = 2V	-	-	150	Ω
I ₂	HSE 驱动电流	f _{OSC_IN} = 24M ESR = 30 VDD = 3.3V, C _{L1} C _{L2} ⁽³⁾ 为 20pF	-	1.5	-	mA
g _m	振荡器的跨导	启动	-	9	-	mA/V
t _{SU (HSE)} ⁽⁵⁾	启动时间	VDD 是稳定的	-	3	-	mS

- 1) 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
- 2) 由综合评估得出，不在生产中测试。
- 3) 相对较低的 R_F 电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果 MCU 是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。

- 4) 对于 C_{L1} 和 C_{L2} ，建议使用高质量的、为高频应用而设计的（典型值为） $5\text{pF} \sim 25\text{pF}$ 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB 和 MCU 引脚的容抗应该考虑在内（可以粗略地把引脚与 PCB 板的电容按 5pF 估计）。
- 5) $t_{\text{SU(HSE)}}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

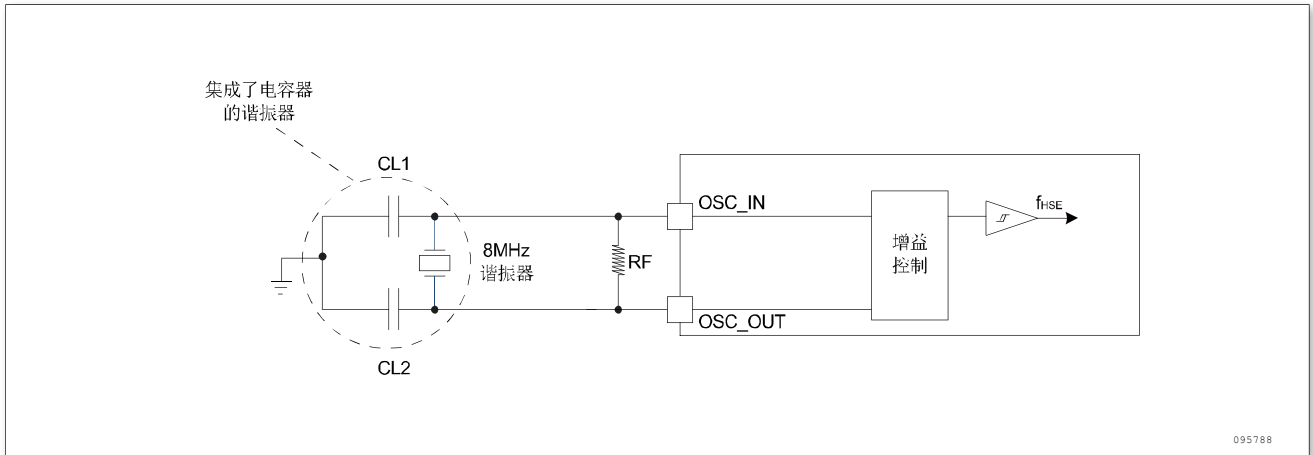


图 16 使用 8MHz 晶体的典型应用

4.3.6 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部（HSI）振荡器

表 21 HSI 振荡器特性^{(1) (2)}

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	-	-	48	-	MHz
ACC_{HSI}	HSI 振荡器的精度	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	-2.5	-	+2.5	%
		$T_A = -40^\circ\text{C} \sim 105^\circ\text{C}$	-3	-	+3	%
		$T_A = 25^\circ\text{C}$	-1	-	+1	%
$t_{\text{SU(HSI)}}$	HSI 振荡器启动时间	-	-	12	16	μs
$I_{\text{DD(HSI)}}$	HSI 振荡器功耗	-	-	519	-	μA

- 1) $V_{\text{DD}} = 3.3\text{V}$ ，除非特别说明。
- 2) 由设计保证，不在生产中测试。

低速内部（LSI）振荡器

电气特性

表 22 LSI 振荡器特性^{(1) (2)}

符号	参数	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	频率	-	40	-	KHz
$t_{SU(LSI)}^{(2)}$	LSI 振荡器启动时间	-		100	μ S
$I_{DD(LSI)}^{(2)}$	LSI 振荡器功耗	-	0.91	1.4	μ A

- 1) $V_{DD} = 3.3V$, $T_A = 40^{\circ}C \sim 85^{\circ}C$, 除非特别说明。
- 2) 由综合评估得出, 不在生产中测试。

4.3.7 存储器特性

表 23 FLASH 存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16bit 编程时间	-		26	-	μ S
f_{EWCLK}	擦写频率	-	8	-	-	MHz
t_{ERASE}	页 (1024 字节) 擦除时间	-	8	-	10	mS
t_{ME}	整片擦除时间	-	20	-	40	mS
I_{DD}	电流	读模式 40MHz	-	3	4.5	mA
		写模式	-	-	3.5	mA
		擦除模式	-	-	2	mA
V_{prog}	编程电压	-	-	1.5	-	V

表 24 FLASH 存储器寿命和数据保存期限^{(1) (2)}

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	擦写次数		20000	-	-	次
T_{DR}	数据保存	$T_A = 125^{\circ}C$	10	-	-	年
		$T_A = 25^{\circ}C$	100	-	-	

- 1) 由综合评估得出, 不在生产中测试。
- 2) 循环测试均是在整个温度范围下进行。

4.3.8 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS (电磁敏感性)

当运行一个简单的应用程序时 (通过 I/O 端口闪烁 2 个 LED), 测试样品被施加 1 种电磁干扰直到产生错误, LED 闪烁指示了错误的产生。

- EFT: 在 V_{DD} 和 V_{SS} 上通过一个 100 pF 的电容施加一个瞬变电压的脉冲群 (正向和反向) 直到产生功能性错误。这个测试符合 IEC61000-4-4 标准。

芯片复位可以使系统恢复正常操作。测试结果列于下表中。

A 表示功能正常运行。

B 表示芯片产生复位后正常运行。

表 25 EMS 特性⁽¹⁾

符号	参数	条件	级别/类型
V_{EFT}	在 V_{DD} 和 V_{SS} 上通过 100pF 的电容器施加的导致功能错误的瞬变脉冲群电压极限。	$V_{DD} = 3.3V$, $T_A = +25^{\circ}C$, $f_{HCLK} = 48MHz$ 。符合 IEC61000-4-4	4A
V_{ESD}	施加到任一 I/O 脚, 从而导致功能错误的电压极限。	$V_{DD} = 3.3V$, $T_A = +25^{\circ}C$, $f_{HCLK} = 48MHz$ 。符合 IEC61000-4-2	2B

1) 由综合评估得出, 不在生产中测试。

设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化, 是在典型的应用环境中进行的。应该注意的是, 好的 EMC 性能与用户应用和具体的软件密切相关。因此, 建议用户对软件实行 EMC 优化, 并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制, 如:

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏 (控制寄存器等)

认证前的试验

很多常见的失效 (意外的复位和程序计数器被破坏), 可以通过人工的在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时, 可以把超出应用要求的电压直接施加在芯片上, 当检测到意外动作的地方, 软件部分需要加强以防止发生不可恢复的错误。

4.3.9 功能性 EMS (电气敏感性)

基于三个不同的测试 (ESD, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电 (ESD)

静电放电 (一个正的脉冲然后间隔一秒钟后一个负的脉冲) 施加到所有样品的所有引脚上, 样品的大小与芯片上供电引脚数目相关 (3 片 x (n + 1) 供电引脚)。这个测试符合 ESDA/JEDEC JS-001-2017/ JS-002-2018 标准。

静态栓锁

为了评估栓锁性能, 需要在 6 个样品上进行 2 个互补的静态栓锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。

电气特性

- 在每个输入、输出和可配置的 I/O 引脚上注入电流。这个测试符合 EIA/JESD78E 集成电路栓锁标准。

表 26 ESD 特性⁽¹⁾

符号	参数	条件	级别	最大值	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	TA = 25°C, 符合 ESDA/JEDEC JS-001-2017	3B	±8000	V
$V_{ESD(CDM)}$	静电放电电压 (充电设备模型)	TA = 25°C, 符合 ESDA/JEDEC JS-002-2018	C3	±2000	V
I_{LU}	静态栓锁类 (Latch-up current)	TA = 25°C, 符合 JESD78E	I,A	+150/-200	mA

- 1) 由综合评估得出, 不在生产中测试。
- 2) 本标注仅针对主芯片, 不针对栅极驱动。

4.3.10 I/O 端口特性

端口通用输入/输出特性

除非特别说明, 下表列出的参数是按表 11 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 27 IO 静态特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	3.3V CMOS 端口	-0.3	-	0.8	V
V_{IL}	输入低电平电压	5V CMOS 端口	-0.3	-	0.3*VDD	V
V_{IH}	输入高电平电压	3.3V CMOS 端口	2	-	3.3	V
V_{IH}	输入高电平电压	5V CMOS 端口	0.7*VDD	-	5	V
V_{hy}	I/O 脚施密特触发器电压迟滞 ⁽²⁾	3.3V	0.1*VDD	-	-	V
V_{hy}	I/O 脚施密特触发器电压迟滞 ⁽²⁾	5V	0.1*VDD	-	-	V
I_{lkg}	输入漏电流 ⁽²⁾	3.3V	-	-	1	μA
I_{lkg}	输入漏电流 ⁽²⁾	5V	-	-	1	μA
R_{PU}	弱上拉等效电阻 ⁽³⁾	3.3V $V_{IN} = V_{SS}$	22	-	100	kΩ
R_{PU}	弱上拉等效电阻 ⁽³⁾	5V $V_{IN} = V_{SS}$	22	-	100	kΩ
R_{PD}	弱下拉等效电阻 ⁽³⁾	3.3V $V_{IN} = V_{DD}$	20	-	50	kΩ
R_{PD}	弱下拉等效电阻 ⁽³⁾	5V $V_{IN} = V_{SS}$	20	-	50	kΩ
C_{IO}	I/O 引脚的电容	3.3V	-	-	10	pF
C_{IO}	I/O 引脚的电容	5V	-	-	10	pF

- 1) 由综合评估得出, 不在生产中测试。
- 2) 施密特触发器开关电平的迟滞电压。
- 3) 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。
- 4) 上拉和下拉电阻是 MOS 电阻。

输出驱动电流

电气特性

GPIO（通用输入/输出端口）可以吸收或输出多达±20mA 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 0 节给出的绝对最大额定值：

- 所有 I/O 端口从 VDD 上获取的电流总和，加上 MCU 在 VDD 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD}。
- 所有 I/O 端口吸收并从 VSS 上流出的电流总和，加上 MCU 在 VSS 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS}。

输入输出交流特性

输入输出交流特性的定义和数值分别在图 17 和表 28 给出。除非特别说明，表 28 列出的参数是使用环境温度和供电电压符合表 11 的条件测量得到。

表 28 输出交流特性^{(1) (2)}

MODEx[1: 0] 的配置	符号	参数	条件	典型值	单位
11	t _{r (IO) out}	输出高至低电平的下降时间	C _L = 50pF VDD=3.3V	7.2	ns
	t _{r (IO) out}	输出低至高电平的上升时间		7.2	ns
10	t _{r (IO) out}	输出高至低电平的下降时间		4.4	ns
	t _{r (IO) out}	输出低至高电平的上升时间		4.4	ns
01	t _{r (IO) out}	输出高至低电平的下降时间		3.73	ns
	t _{r (IO) out}	输出低至高电平的上升时间		3.73	ns

- 1) I/O 端口的速度可以通过 MODEx[1: 0] 配置。参见本芯片参考手册中有关 GPIO 端口配置寄存器的说明。
- 2) 由设计保证，不在生产中测试。

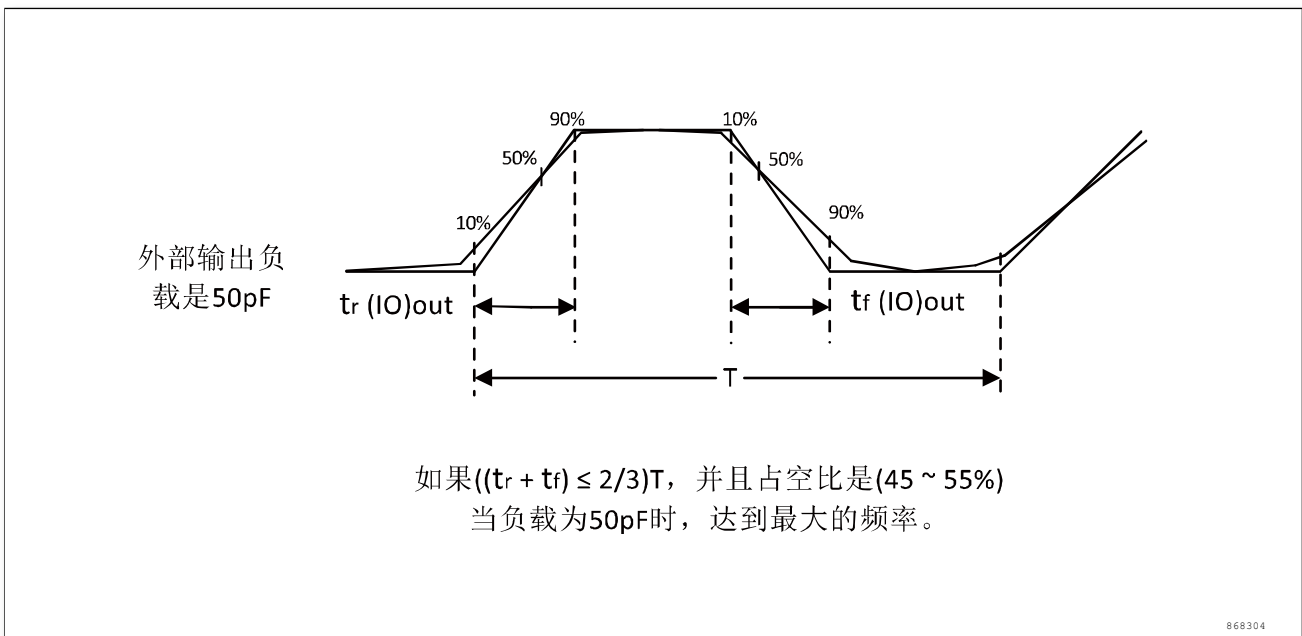


图 17 输入输出交流特性定义

4.3.11 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻，RPU。

表 29 NRST 引脚特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	-0.3	-	0.8	V
$V_{IH(NRST)}$ ⁽²⁾	NRST 输入高电平电压	2	-	V_{DD}	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	$0.1 \cdot V_{DD}$	-	-	V
$V_F(NRST)$ ⁽³⁾	NRST 输入滤波脉冲	-	-	1.0	uS
$V_{NF(NRST)}$ ⁽³⁾	NRST 输入非滤波脉冲	4.0	-	-	uS

- 1) 由设计保证，不在生产中测试。
- 2) 上拉和下拉电阻是 MOS 电阻。
- 3) 使用 NRST 功能时外部需加 5.1KΩ 上拉电阻。

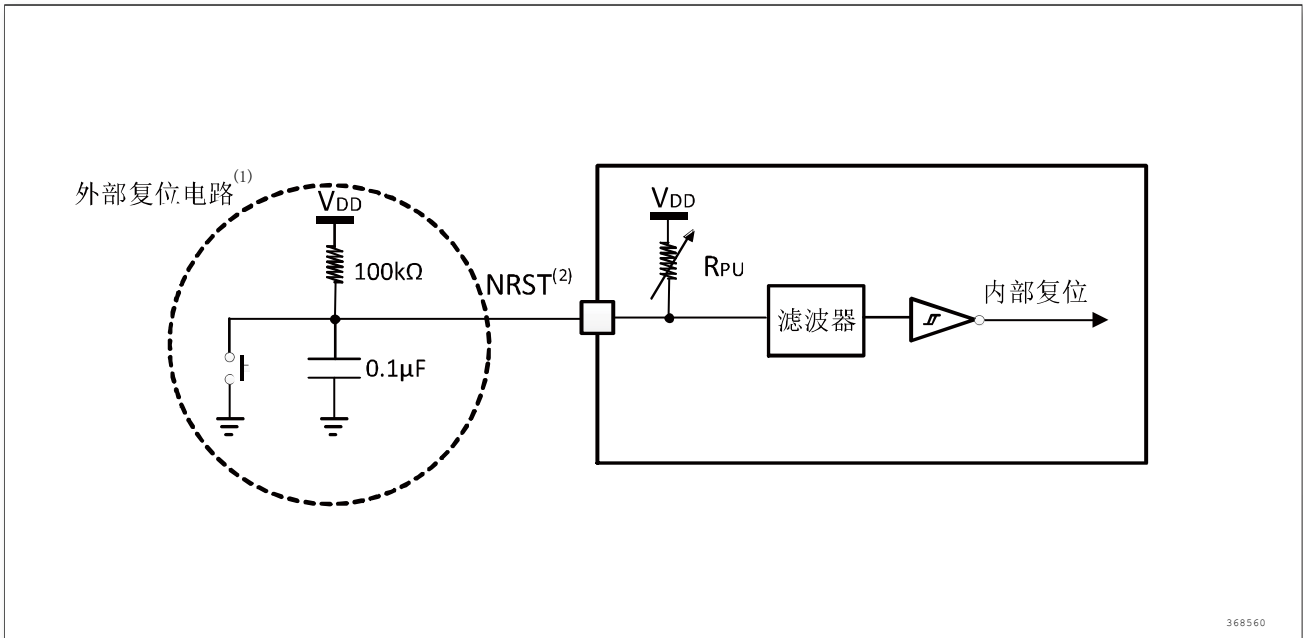


图 18 建议的 NRST 引脚保护

- 1) 复位网络是为了防止寄生复位。
- 2) 用户必须保证 NRST 引脚的电位能够低于表 30 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

4.3.12 TIM 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见小节 4.3.10。

电气特性

表 30 TIMx⁽¹⁾ 特性

符号	参数	条件	最小值	最大值	单位
t _{res} (TIM)	定时器分辨时间	-	1	-	t _{TIMxCLK} ⁽²⁾
		f _{TIMxCLK} = 48MHz	20.8	-	nS
f _{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	f _{TIMxCLK} /2	MHz
		f _{TIMxCLK} = 48MHz	0	24	
Res _{TIM}	定时器分辨率	-	-	16	位
t _{COUNTER}	当选择了内部时钟时, 16 位计数器时钟周期	-	1	65536	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	0.0208	1365	μS
t _{MAX_COUNT}	最大可能的计数 (TIM_PSC 可调)	-	-	65536	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	-	1365	uS

1) TIMx 是一个通用的名称。

2) f_{TIMxCLK} 值与 f_{EXT}、t_{COUNTER}、t_{MAX_COUNT} 呈线性变化。

4.3.13 通信接口

I2C 接口特性

除非特别说明, 表 31 列出的参数是使用环境温度, f_{PCLK1} 频率和 V_{DD} 供电电压符合表 11 的条件测量得到。

I2C 接口符合标准 I2C 通信协议, 但有如下限制: SDA 和 SCL 不是“真开漏”的引脚, 当配置为开漏输出时, 在引出脚和 V_{DD} 之间的 PMOS 管被关闭, 但仍然存在。

I2C 接口特性列于表 31, 有关输入输出复用功能引脚 (SDA 和 SCL) 的特性详情, 参见小节 4.3.10。

表 31 I2C 接口特性^{(1) (2)}

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
t _w (SCLL)	SCL 时钟低时间	8*t _{PCLK}	-	8*t _{PCLK}	-	μs
t _w (SCLH)	SCL 时钟高时间	6*t _{PCLK}	-	6*t _{PCLK}	-	μs
t _{su} (SDA)	SDA 建立时间	2*t _{PCLK}	-	2*t _{PCLK}	-	ns
t _h (SDA) ⁽³⁾	SDA 数据保持时间	0	-	0	875	ns
t _r (SDA) t _r (SCL)	SDA 和 SCL 上升时间	-	1000	-	300	ns
t _r (SDA) t _r (SCL) ⁽⁴⁾	SDA 和 SCL 下降时间	-	300	-	300	ns
t _h (STA)	开始条件保持时间	8*t _{PCLK}	-	8*t _{PCLK}	-	μs
t _{su} (STA)	重复的开始条件建立时间	6*t _{PCLK}	-	6*t _{PCLK}	-	μs
t _{su} (STO)	停止条件建立时间	6*t _{PCLK}	-	6*t _{PCLK}	-	μs
t _w (STO:STA)	停止条件至开始条件的 时间 (总线空闲)	5*t _{PCLK}	-	5*t _{PCLK}	-	μs
C _b	每条总线的容性负载	-	400	-	400	pF

电气特性

- 1) 由设计保证，不在生产中测试。
- 2) 为达到标准模式 I2C 的最大频率， f_{PCLK1} 必须大于 3MHz。为达到快速模式 I2C 的最大频率， f_{PCLK1} 必须大于 12MHz。
- 3) 如果不要求拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。
- 4) 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号上至少 300ns 的保持时间。

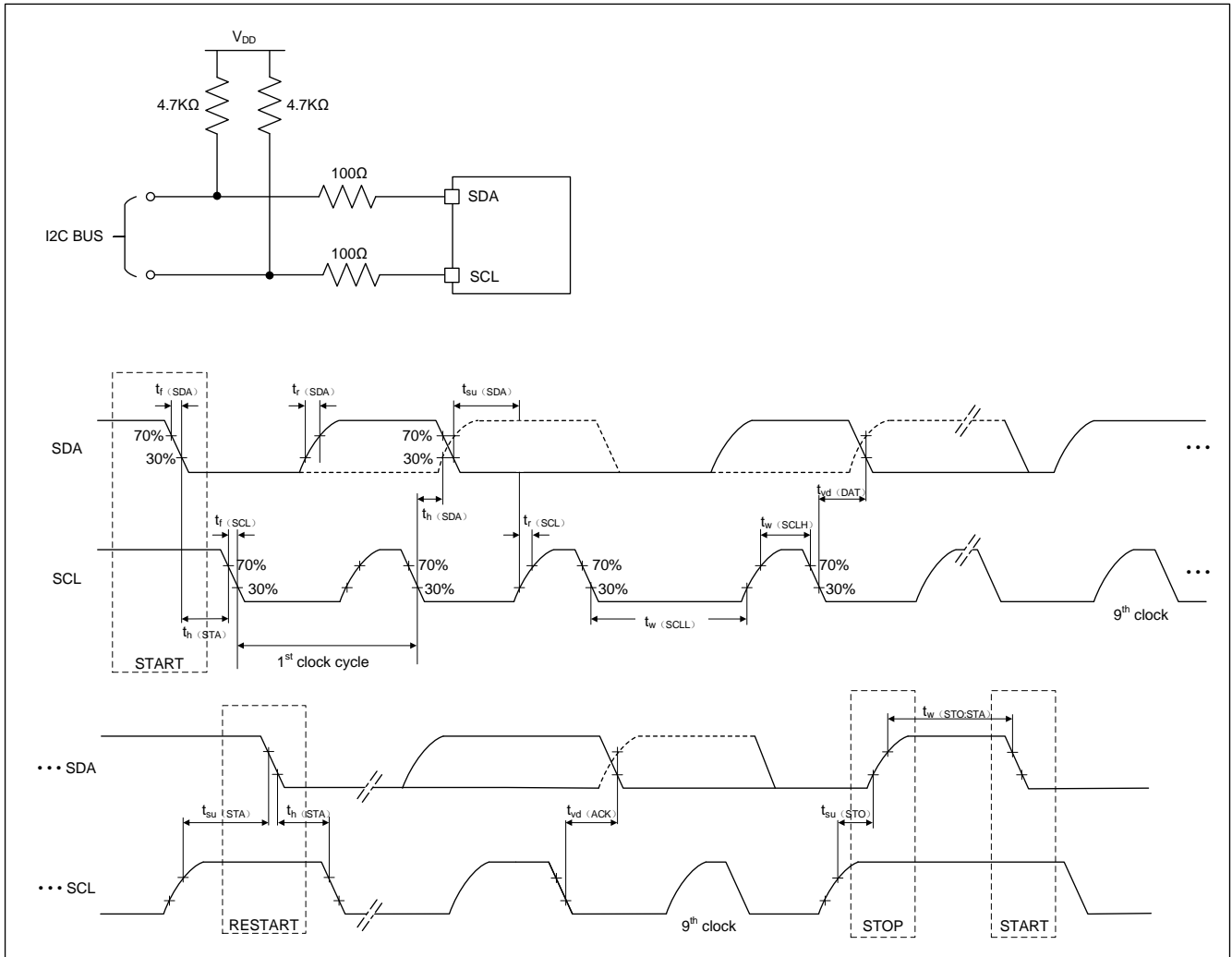


图 19 I2C 总线交流波形和测量电路⁽¹⁾

- 1) 测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

SPI 接口特性

除非特别说明，表 32 列出的参数是使用环境温度， f_{PCLKx} 频率和 V_{DD} 供电电压符合表 11 的条件测量得到。

有关输入输出复用功能引脚（NSS、SCK、MOSI、MISO）的特性详情，参见小节 4.3.10。

表 32 SPI 接口特性

符号	参数	条件	最小值 ⁽²⁾	最大值 ⁽³⁾	单位
	SPI 时钟频率	主模式	-	24	MHz

电气特性

符号	参数	条件	最小值 ⁽²⁾	最大值 ⁽³⁾	单位
f_{SCK1}/t_c (SCK)		从模式		12	
t_r (SCK)	SPI 时钟上升时间	负载电容: C = 15pF	-	6	ns
t_f (SCK)	SPI 时钟下降时间	负载电容: C = 15pF	-	6	nS
t_{su} (NSS) ⁽¹⁾	NSS 建立时间	从模式	1Tpclk	-	nS
t_h (NSS) ⁽¹⁾	NSS 保持时间	从模式	1Tpclk	-	nS
t_w (SCKH) ⁽¹⁾	SCK 电平为高的时间	-	t_c (SCK) / 2 - 6	t_c (SCK) / 2 - 6	nS
t_w (SCKL) ⁽¹⁾	SCK 电平为低的时间	-	t_c (SCK) / 2 - 6	t_c (SCK) / 2 - 6	nS
t_{su} (MI) ⁽¹⁾	数据输入建立时间	主模式, $f_{PCLK} = 48MHz$, 预分频系数= 2, 高速模式	12	-	nS
t_{su} (SI) ⁽¹⁾		从模式	5	-	nS
t_h (MI) ⁽¹⁾	数据输入保持时间	主模式, $f_{PCLK} = 48MHz$, 预分频系数= 2, 高速模式	0	-	nS
t_h (SI) ⁽¹⁾		从模式	6	-	nS
t_a (SO) ⁽¹⁾⁽²⁾	数据输出有效时间	从模式 (使能边沿之后) 非高速模式	-	34	nS
		从模式 (使能边沿之后) 高速模式	-	13	nS
t_v (MO) ⁽¹⁾	数据输出有效时间	主模式 (使能边沿之后)	-0.6	-	nS

- 1) 由综合评估得出。
- 2) 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间。
- 3) 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

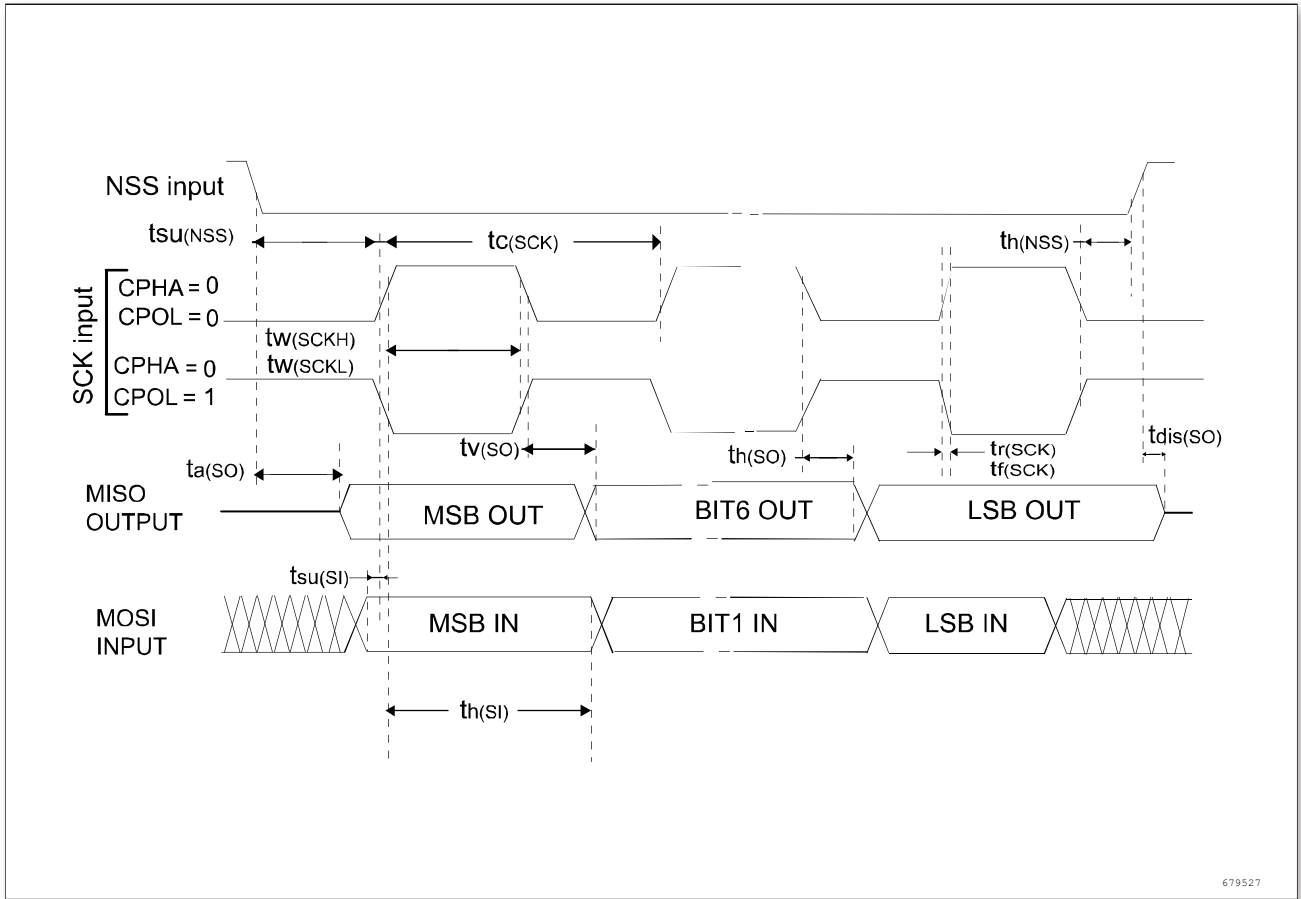


图 20 I2C 从模式和 CPHA = 0, SPI_CTL.CPHASEL=1 时波形图

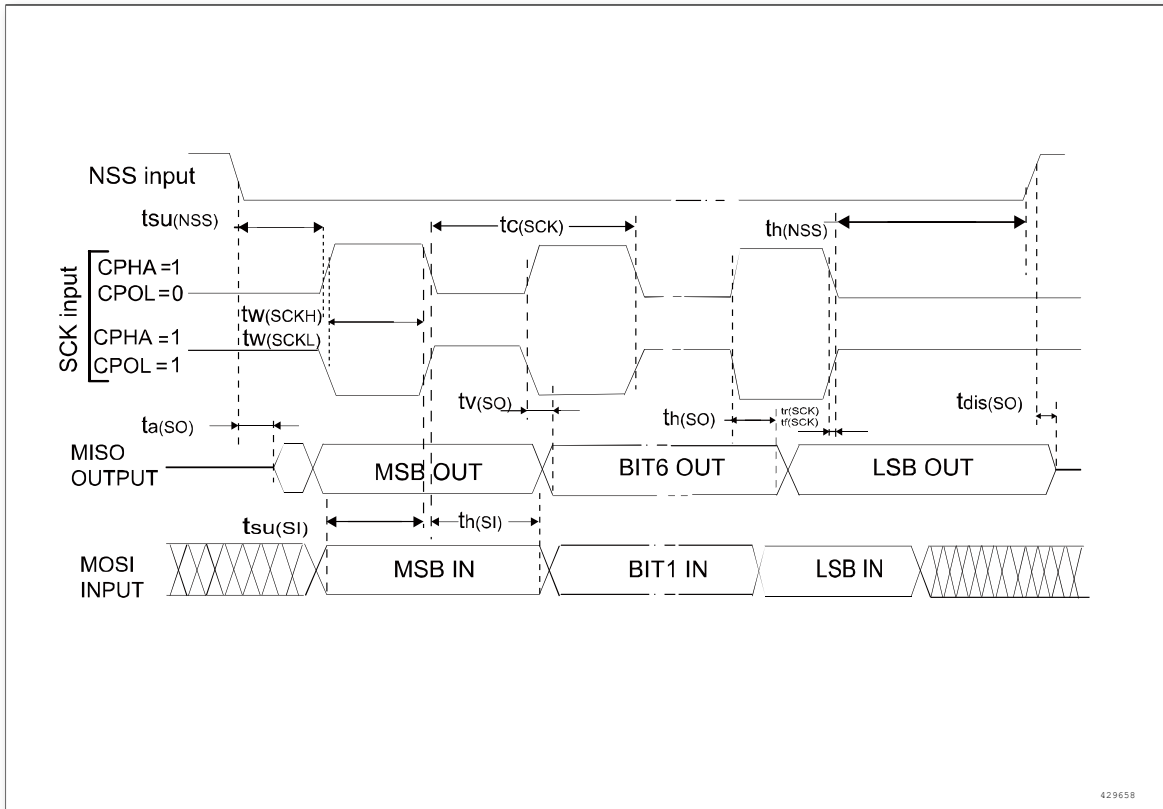


图 21 SPI 时序图-从模式和 $CPHA = 1$ ⁽¹⁾, $SPI_CTL.CPHASEL=1$ 时波形图

- 1) 测量点设置于 CMOS 电平: 0.3VDD 和 0.7VDD。

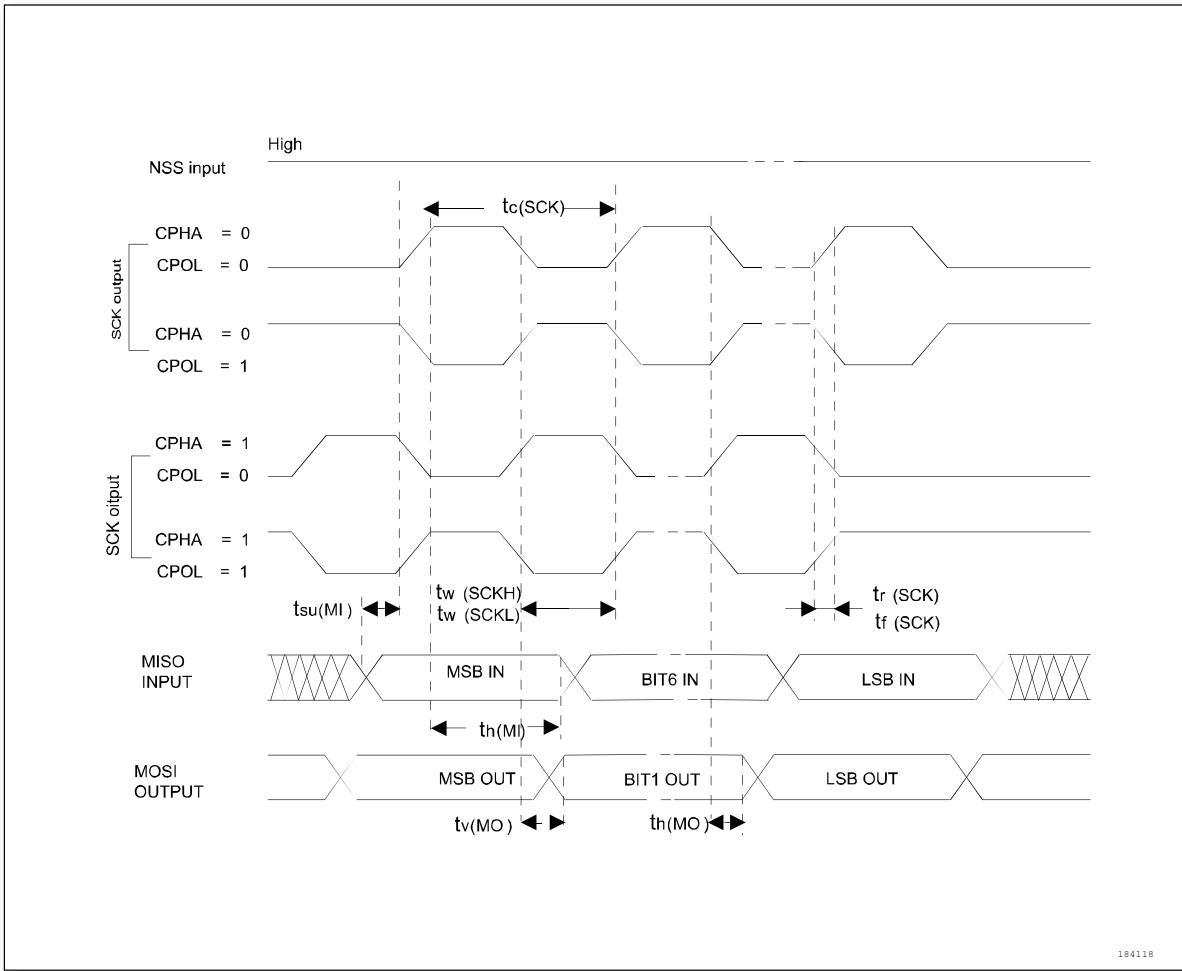


图 22 SPI 时序图-主模式和 CPHA = 1⁽¹⁾, SPI_CCTL.CPHASEL=1 时波形图

1) 测量点设置于 CMOS 电平: 0.3VDD 和 0.7VDD。

4.3.14 ADC 特性

除非特别说明，下表的参数是使用符合表 11 的条件的环境温度、fPCLK2 频率和 VDDA 供电电压测量得到。

表 33 ADC 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
VDD	供电电压	-	2.5	-	5.5	V
f _{ADC} ⁽³⁾	ADC 时钟频率	-	-	-	16	MHz
f _S ⁽³⁾	采样速率	-	-	-	1	MHz
f _{TRIG}	外部触发频率 ⁽³⁾	f _{ADC} = 16MHz	-	-	941	kHz
		-	-	-	17	1/f _{ADC}
V _{AIN} ⁽²⁾	转换电压范围	-	0	-	VDD	V
R _{AIN}	外部输入阻抗	-	参见下表和公式 1			kΩ
R _{ADC}	采样开关电阻	-	-	-	1.5	kΩ

电气特性

符号	参数	条件	最小值	典型值	最大值	单位
C _{ADC}	内部采样和保持电容	-	-	-	10	pF
t _s	采样时间	f _{ADC} = 16MHz	0.156	-	15.031	μS
		-	2.5	-	240.5	1/f _{ADC}
t _{CONV}	总的转换时间（包括采样时间）	f _{ADC} = 16MHz	1	-	15.875	μS
		-	15 ~ 253（采样 t _s + 逐步逼近 12.5）			1/f _{ADC}

- 1) 由综合评估保证，不在生产中测试。
- 2) 由设计保证，不在生产中测试。
- 3) 对于外部触发，必须在时延中加上一个延迟 1/ f_{ADC}。

$$R_{AIN} < \frac{TS}{f_{ADC} \times C_{ADC} \times \ln(2^{n+2})} - R_{ADC}$$

公式1

表 34 f_{ADC}=15MHz⁽¹⁾ 时的最大 R_{AIN}

T _s (周期)	t _s (μS)	最大 R _{AIN} (kΩ)
2.5	0.156	0.1
8.5	0.531	4.0
14.5	0.906	7.8
29.5	1.844	17.5
42.5	2.656	25.9
56.5	3.531	34.9
72.5	4.531	45.2
240.5	15.031	153.4

- 1) 由设计保证，不在生产中测试。

表 35 ADC 精度^{(1) (2)}

符号	参数	条件	典型值	最大值	单位
Resolution	分辨率		12	-	Bit
ET	综合误差	f _{PCLK1} = 24MHz, f _{ADC} = 12MHz, R _{AIN} < 0.1 kΩ, V _{DDA} = 3.3V, T _A = 25°C	+2/-7	-	LSB
EO	偏移误差		4.5	-	
EG	增益误差		-2	-	
ED	微分线性误差		3/-0.8	-	
EL	积分线性误差		+4.5/-3.5	-	

- 1) ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。如果正向的注入电流，只要处于 I_{INJ (PIN)} 和 ΣI_{INJ (PIN)} 范围之内，就不会影响 ADC 精度。
- 2) 由综合评估保证，不在生产中测试。

ET = 总未调整误差：实际和理想传输曲线间的最大偏离。

EO = 偏移误差：第一次实际转换和第一次理想转换间的偏离。

EG = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。

ED = 微分线性误差：实际步进和理想值间的最大偏离。

EL = 积分线性误差：任何实际转换和端点相关线间的最大偏离。

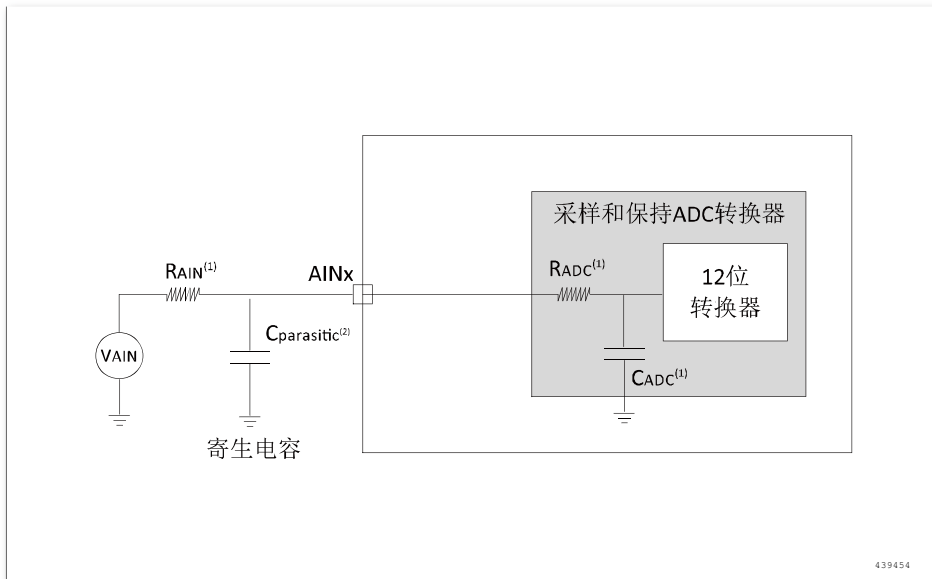


图 23 使用 ADC 典型的连接图

- 1) 有关 RAIN、RADC 和 CADC 的数值，参见表 34。
- 2) Cparasitic 表示 PCB（与焊接和 PCB 布局质量相关）与焊盘上的寄生电容（大约 7pF）。较大的 Cparasitic 数值将降低转换的精度，解决的办法是减小 fADC。

PCB 设计建议

电源的去耦必须按照下图连接。图中的 10 nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

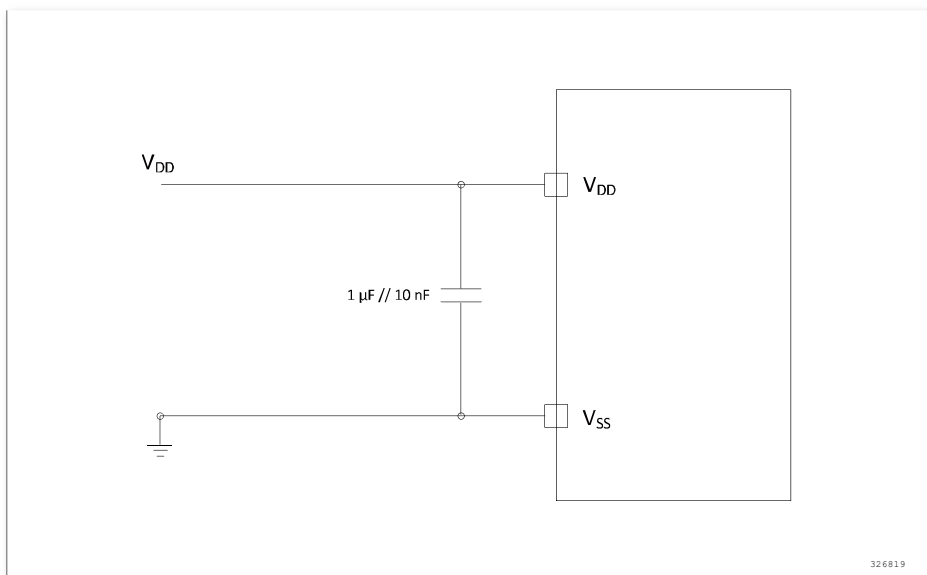


图 24 供电电源和参考电源去耦电路

5 栅极驱动器

5.1 工作条件

表 36 Gate driver 绝对最大额定植

符号	描述	最小值	最大值	单位
V_{VIN}	母线电压输入电压	-0.3	45	V
$V_{HIN1,2,3}$	高侧控制端输入电压	-0.3	V_{LDO}	
$V_{LIN1,2,3}$	低侧控制端输入电压	-0.3	V_{LDO}	
$V_{INP1,2}$	OP 正端输入	-0.3	V_{LDO}	
$V_{INN1,2}$	OP 负端输入	-0.3	V_{LDO}	
T_{jmax}	结温	-40	150	
T_{stg}	存储温度	-60	150	
ESD	HBM	±2000		V
	CDM	±1000		

表 37 Gate driver 推荐工作范围

符号	描述	最小值	最大值	单位	
V_{VIN}	母线电压输入电压	7	36	V	
V_{LDO}	5V LDO 输出电压	4.5	5.5		
$V_{HIN1,2,3}$	高侧控制端输入电压	0	V_{LDO}		
$V_{LIN1,2,3}$	低侧控制端输入电压	0	V_{LDO}		
$V_{HO1,2,3}$	栅极驱动器上桥臂输出	$V_{VIN} - 12$	36		
$V_{LO1,2,3}$	栅极驱动器下桥臂输出	0	12		
$V_{AO1,2}$	OP 输出	0	V_{LDO}		
$V_{INP1,2}$	OP 正端输入	0	V_{LDO}		
$V_{INN1,2}$	OP 负端输入	0	V_{LDO}		
T_j	结温	-40	125		°C

1) 当应用于 24V 电机系统时, 环境温度超过 85 °C, 建议使用外部 LDO

5.2 电气特性

表 38 Gate driver 电气特性

符号	描述	最小值	典型值	最大值	单位
Power supply					
V_{VIN}	母线电压输入电压	7		36	V
I_{VIN}	静态电源电流		500	1000	µA
V_{UVLO}	欠压锁定(V_{VIN} falling)		5.1		V
$V_{STARTUP}$	欠压解除(V_{VIN} rising)		5.5		
LDO regulator					
I_{OUT}	LDO 输出能力($V_{OUT} > 95\% V_{LDO}$)			50	mA
V_{DROP}	跌落电压($I_{OUT} = 50mA$)		0.84		V

栅极驱动器

符号	描述	最小值	典型值	最大值	单位
ΔV_{OUT}	负载调整率($1\text{mA} < I_{OUT} < 50\text{mA}$)		0.5	1	%
线性调整率	$7\text{V} < V_{VIN} < 36\text{V}$		0.1	0.2	%/V
3-phase gate driver					
V_{IL}	逻辑输入低电压			0.4	V
V_{IH}	逻辑输入高电压	1.6			
R_{INPD}	输入下拉电阻		9.3		K Ω
I_{OH}	高电平输出短路脉冲电流		300		mA
I_{OL}	低电平输出短路脉冲电流		300		mA
R_{PULLUP}	高侧驱动器输出上拉 PMOS 电阻, $I_{OUT}=20\text{mA}, V_{IN}=8\text{V}$		8.5		Ω
	低侧驱动器输出上拉 PMOS 电阻, $I_{OUT}=20\text{mA}, V_{IN}=8\text{V}$		16		
$R_{PULLDOWN}$	高侧驱动器输出下拉 NMOS 电阻, $I_{OUT}=20\text{mA}, V_{IN}=8\text{V}$		15		
	低侧驱动器输出下拉 NMOS 电阻, $I_{OUT}=20\text{mA}, V_{IN}=8\text{V}$		7.5		
V_{PCLAMP}	驱动外部 PMOS 的 V_{gs} 钳位电压	-12	-10	-9	V
V_{NCLAMP}	驱动外部 NMOS 的 V_{gs} 钳位电压	9	10	12	
t_{DT}	死区时间	300	500	800	ns
t_r	输出上升时间		70	150	
t_f	输出下降时间		70	150	
T_{on}	输出上升沿传输时间		50	100	
T_{OTP}	过热保护阈值, 关掉整个芯片		160		$^{\circ}\text{C}$
T_{OTPHYS}	过热保护迟滞		20		$^{\circ}\text{C}$
Low-offset amplifier					
V_{OP}	运放工作电压		5		V
V_{OFFSET}	偏置电压, V_{inp} 和 V_{inn} 接近 0		3		mV
V_{CRANGE}	输入对共模电压范围	0.2		$V_{OP}-0.2$	V
I_{IN}	输入对偏置电流			1	μA
I_{SOURCE}	输出电流	1000			μA V
I_{SINK}	输入电流	1000			
V_{SW}	输出电压摆幅	0		V_{OP}	
A_V	开环增益		10		kV/V
GBW	带宽		6		MHz

1) 除非另有说明, 否则测试条件皆为 $V_{IN}=24\text{V}, C_L=1000\text{pF}, T_A=25^{\circ}\text{C}$

表 39 PWM 输入输出状态表

LINx	HINx	Lox	Hox	输出状态
0	0	GND	VIN	外置 NMOS 和 PMOS 皆关闭
0	1	GND	VIN-10V	外置 NMOS 关闭, PMOS 开启
1	0	10V	VIN	外置 NMOS 开启, PMOS 关闭
1	1	GND	VIN	外置 NMOS 和 PMOS 皆关闭

6 封装特性

6.1 封装 TSSOP28

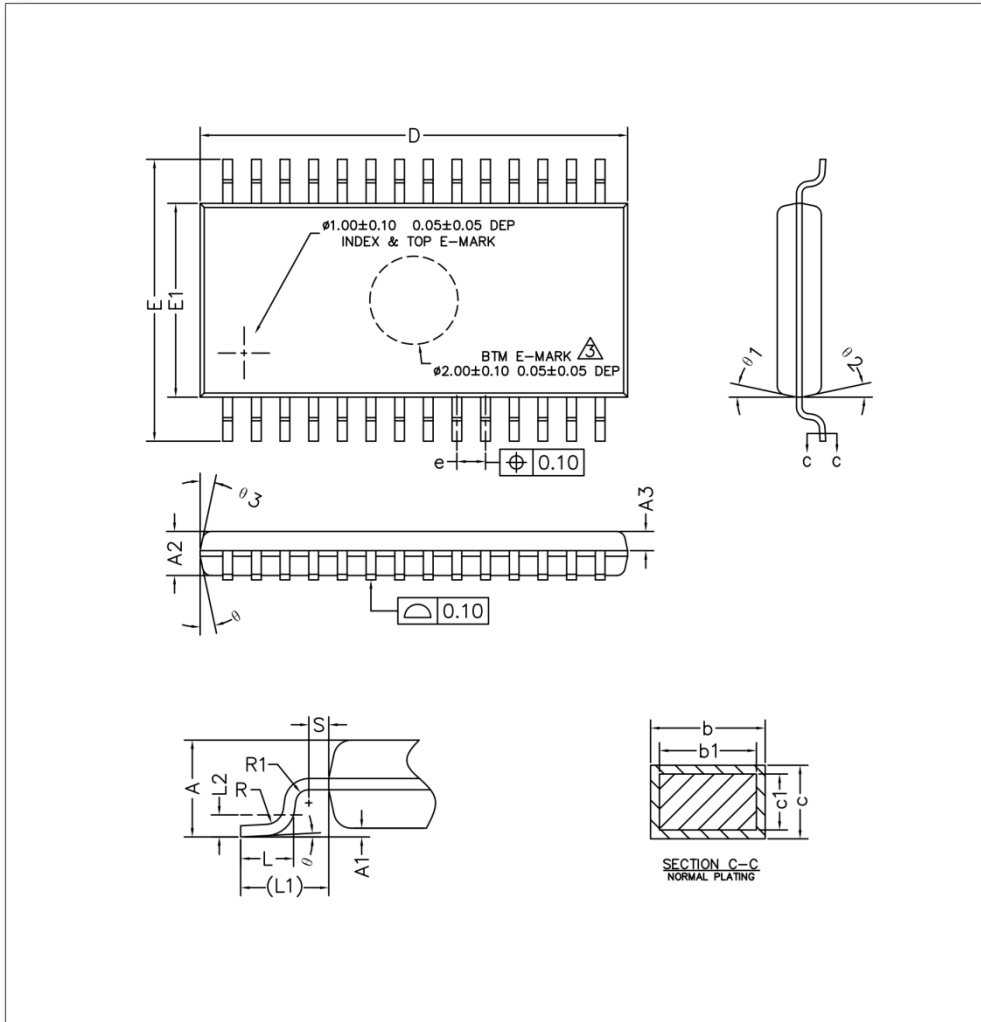


图 25 TSSOP28, 28 脚低剖面长方形扁平封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 40 TSSOP28 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.20
A1	0.05	-	0.15
A2	0.90	1.00	1.05
A3	0.34	0.44	0.54

封装特性

b	0.20	-	0.29
b1	0.19	0.22	0.25
c	0.13	-	0.18
c1	0.12	0.13	0.14
D	9.60	9.70	9.80
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	-	0.65	-
L	0.45	0.60	0.75
L2	0.25BSC		
L1	1.0REF		
R	0.09	-	-
R1	0.09	-	-
S	0.20	-	-
θ	0°	-	8°
θ_1	10°	12°	14°
θ_2	10°	12°	14°
θ_3	10°	12°	14°
θ_4	10°	12°	14°

6.2 封装 QFN28

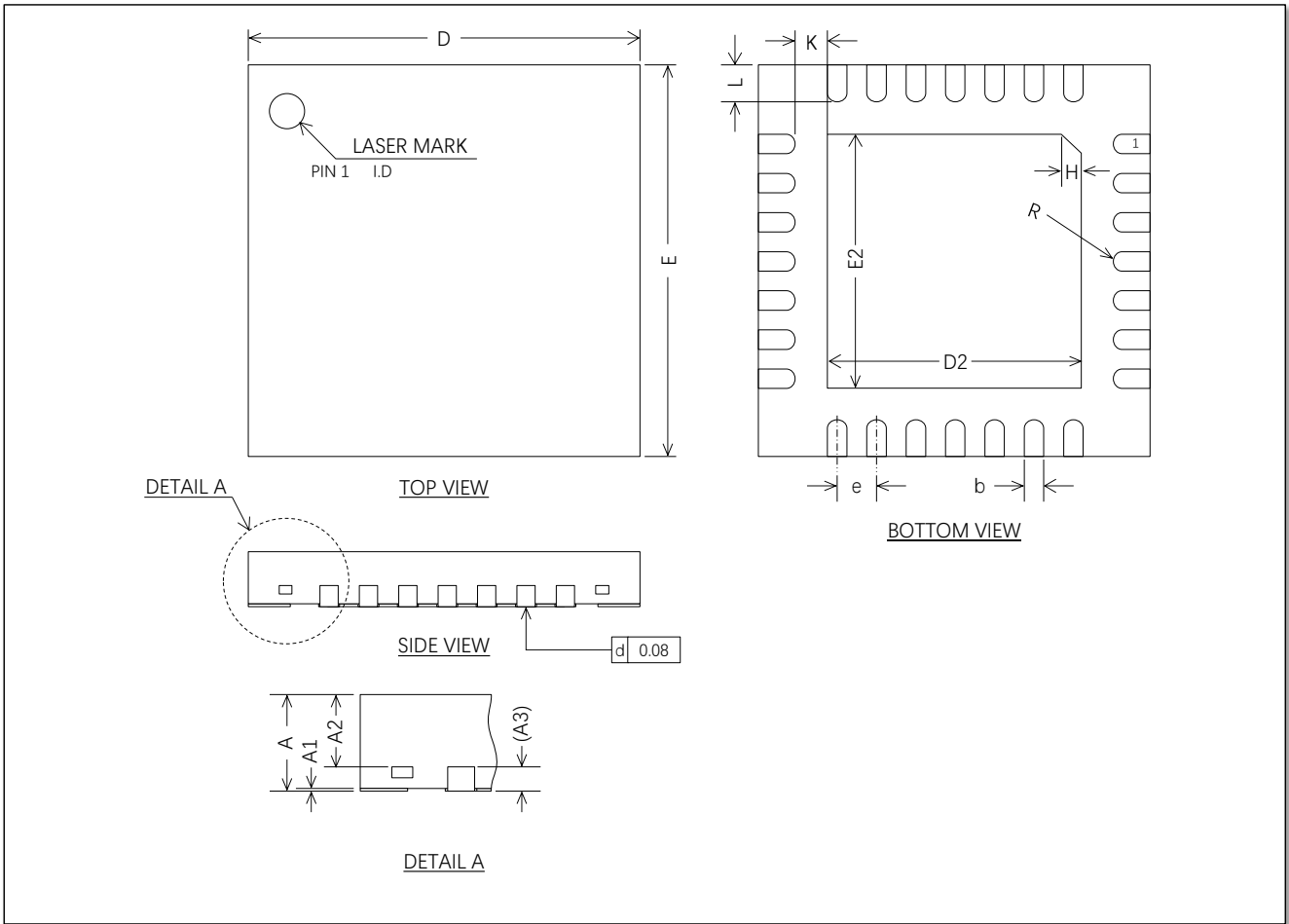


图 26 QFN28, 28 脚方形扁平无引线封装外形封装图

- 1.图不是按照比例绘制。
- 2.尺寸单位为毫米。

表 41 QFN28 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.15	0.20	0.25
D	3.90	4.00	4.10
E	3.90	4.00	4.10

封装特性

标号	毫米		
	最小值	典型值	最大值
D2	2.50	2.60	2.70
E2	2.50	2.60	2.70
e	-	0.40	-
H	0.35REF		
K	0.30REF		
L	0.35	0.40	0.45
R	0.075	-	-

7 产品命名规则

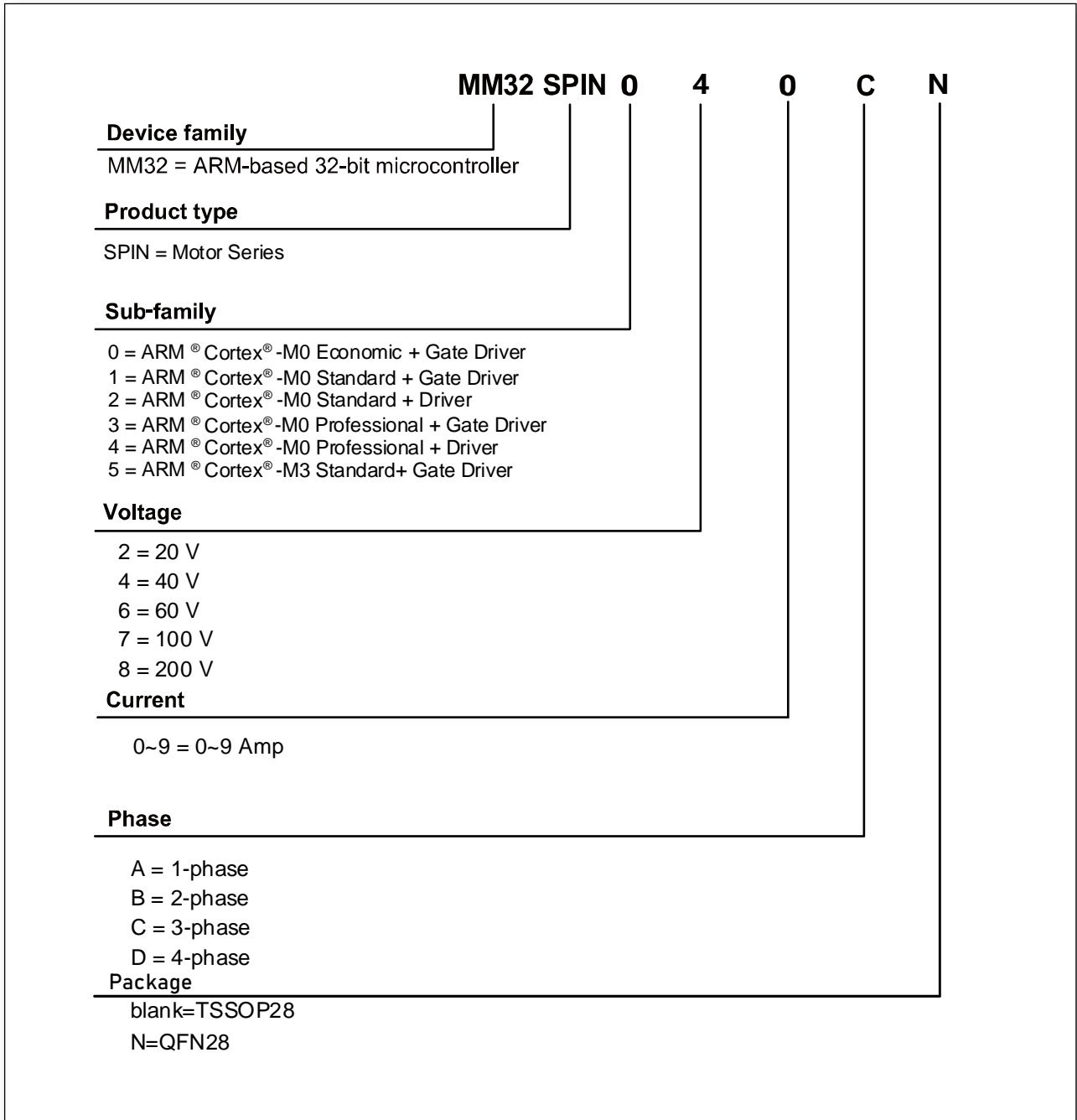


图 27 MM32 型号命名

8 缩略词

ADC	数模转换器
CRC	循环冗余校验
EXTI	外部中断事件控制器
EMC	电磁兼容性
ESD	静电释放
FLASH	闪存存储器
GPIO	通用输入输出
HSE	外部高速时钟
HSI	内部高速时钟
I2C	I2C 总线
IWDG	独立看门狗
LP	低功耗
LSI	内部低速时钟
NVIC	嵌套中断向量列表
PWR	电源/功耗控制
POR	上电复位
PDR	掉电复位
PVD	电压监测器
RCC	复位与时钟控制器
SRAM	静态随机存取存储器
SPI	串行外设接口
SWD	串行调试接口
SysTick	系统嘀嗒定时器
Sleep	睡眠
Stop	停机
Standby	待机
TIM	定时器
UART	通用异步收发
WWDG	窗口看门狗

9 修订记录

表 42 修订记录

日期	版本	内容
2022/02/06	Rev1.00	1. 正式版
2022/03/11	Rev1.01	功能框图，电路图更新
2022/03/29	Rev1.02	新增 QFN28 丝印、引脚分布和封装信息
2022/03/29	Rev1.03	更新部分电参数
2022/06/22	Rev1.04	变更产品命名规则
2022/10/09	Rev1.05	新增 QFN28 功率耗散
2022/10/26	Rev1.06	删除引脚间距最大最小值，删除电路原理图，修改辅芯片信息
2023/01/18	Rev1.07	补充 PA4 引脚定义、更新预驱信息