数据手册
Data Sheet
MM32SPIN560C

基于 Arm® Cortex® M0 内核的 32 位微控制器

版本：**1.03**

灵动微电子有权在任何时间对此文件包含的信息(包括但不限于规格与产品说明) 做出任何改动与发布，本文件将取代之前所有公布的信息。

目录

.....1

1 总览 6

1.1 概述 6

1.2 产品简述 6

2 规格说明 8

2.1 型号列表 8

2.1.1 订购信息 8

2.1.2 丝印 9

2.1.3 系统框图 10

2.2 功能说明 11

2.2.1 内核简介 11

2.2.2 总线简介 11

2.2.3 存储器映像 11

2.2.4 内置 Flash 13

2.2.5 内置 SRAM 13

2.2.6 嵌套的向量式中断控制器 NVIC 13

2.2.7 外部中断/事件控制器 EXTI 13

2.2.8 时钟和启动 13

2.2.9 供电方案 Power Supply Schemes 15

2.2.10 供电监控器 Power Supply Supervisors 15

2.2.11 电压调压器 Voltage Regulator 15

2.2.12 低功耗模式 Low Power Mode 15

2.2.13 硬件除法器 HWDIV 16

2.2.14 硬件开方 HSQRT 17

2.2.15 DMA 17

2.2.16 定时器和看门狗 TIM & WDG 17

2.2.17 脉冲宽度调制 PWM 19

2.2.18 备份寄存器 19

2.2.19 GPIO 19

2.2.20 通用异步收发器 UART 19

2.2.21 I2C 总线 19

2.2.22 SPI 接口 19

2.2.23 I2S 接口 19

2.2.24 通用串行模块 CSM 20

2.2.25 ADC 20

2.2.26 DAC 20

2.2.27 模拟比较器 COMP 20

2.2.28 运算放大器 OPAMP 21

2.2.29 循环冗余校验计算单元 CRC 21

2.2.30 串行调试口 (SWD) 21

3 引脚定义及复用功能 22

3.1 引脚分布图 22
3.2 引脚定义表 23
3.3 复用功能表 28
3.4 驱动芯片扩展引脚说明 30
3.5 功能框图与应用参考电路 32
4 电气特性 33
4.1 测试条件 33
4.1.1 负载电容 33
4.1.2 引脚输入电压 33
4.1.3 供电方案 Power Supply 33
4.1.4 电流消耗测量 34
4.2 绝对最大额定值 34
4.3 工作条件 35
4.3.1 通用工作条件 35
4.3.2 上电和掉电时的工作条件 35
4.3.3 内嵌复位和电源控制模块特性 36
4.3.4 内置的参照电压 37
4.3.5 供电电流特性 37
4.3.6 外部时钟源特性 39
4.3.7 内部时钟源特性 41
4.3.8 PLL 特性 41
4.3.9 存储器特性 42
4.3.10 EMC 特性 42
4.3.11 功能性 EMS（电气敏感性） 43
4.3.12 GPIO 端口通用输入/输出特性 43
4.3.13 NRST 引脚特性 45
4.3.14 TIM 定时器特性 46
4.3.15 通信接口 47
4.3.16 ADC 特性 51
4.3.17 温度传感器特性 54
4.3.18 DAC 特性 54
4.3.19 比较器特性 54
4.3.20 运算放大器特性 55
5 栅极驱动器 56
5.1 工作条件 56
5.2 工作特性 56
6 封装特性 60
6.1 封装 QFN48 60
7 产品命名规则 62
8 修订记录 63

插图

图 1 LQFP 和 QFN 封装丝印标识图 9
图 2 模块框图 10
图 3 时钟树 14
图 4 QFN48 引脚分布 22
图 5 功能框图 32
图 6 引脚的负载条件 33
图 7 引脚输入电压 33
图 8 供电方案 34
图 9 电流消耗测量方案 34
图 10 上电与掉电波形 36
图 11 外部高速时钟源的交流时序图 40
图 12 使用 8MHz 晶体的典型应用 41
图 13 输入输出交流特性定义 45
图 14 建议的 NRST 引脚保护 46
图 15 I2C 总线交流波形和测量电路 (1) 48
图 16 SPI 时序图-从模式和 CPHA = 0, CPHASEL = 1 49
图 17 SPI 时序图-从模式和 CPHA = 1, CPHASEL = 1 (1) 50
图 18 SPI 时序图-主模式 (1) 51
图 19 使用 ADC 典型的连接图 53
图 20 供电电源和参考电源去耦线路 53
图 21 上电时序状态图 57
图 22 上电时序状态图 58
图 23 QFN48 脚低剖面方形扁平封装图 60
图 24 MM32 型号命名 62

表格

表 1 订购信息 8
表 2 存储器映像 11
表 3 低功耗模式一览 15
表 4 定时器功能比较 17
表 5 引脚定义 23
表 6 PA 端口功能复用 AF0-AF7 28
表 7 PB 端口功能复用 AF0-AF7 29
表 8 PC 端口功能复用 AF0-AF7 30
表 9 PD 端口功能复用 AF0-AF7 30
表 10 比较器使用的 IO 口 30
表 11 OP 使用的 IO 口 30
表 12 GateDriver 引脚说明 30
表 13 电压特性 34
表 14 电流特性 35
表 15 通用工作条件 35
表 16 上电和掉电时的工作条件(1)(2) 35
表 17 内嵌复位和电源控制模块特性 36
表 18 内置的参照电压 (1) 37
表 19 运行模式下的典型电流消耗 37
表 20 睡眠模式下的典型电流消耗 37
表 21 停机和待机模式下的典型和最大电流消耗 (1) 38
表 22 内置外设的电流消耗 (1) 38
表 23 低功耗模式的唤醒时间 39
表 24 高速外部用户时钟特性 39
表 25 HSE 4 ~ 24MHz 振荡器特性 (1)(2) 40
表 26 HSI 振荡器特性 (1)(2) 41
表 27 LSI 振荡器特性 (1) 41
表 28 PLL 特性 (1) 42
表 29 Flash 存储器特性 42
表 30 Flash 存储器寿命和数据保存期限 (1)(2) 42
表 31 EMS 特性 42
表 32 ESD 特性 43
表 33 I/O 静态特性 43
表 34 输出电压特性 44
表 35 输入输出交流特性 (1)(3) 45
表 36 NRST 引脚特性 45
表 37 TIMx(1) 特性 46
表 38 I2C 接口特性 47
表 39 SPI 特性 (1) 48
表 40 ADC 特性 51
表 41 f_{ADC}=15MHz(1) 时的最大 R_{AIN} 52
表 42 ADC 静态参数 (1)(2) 52
表 43 温度传感器特性 (3)(4) 54
表 44 温度传感器特性 54
表 45 比较器特性 54
表 46 运算放大器特性 55
表 47 Gatedriver 绝对最大额定值 56
表 48 Gatedriver 推荐工作范围 56
表 49 PWM 输入输出状态表 58
表 50 Gatedriver 电气特性 58

表 51 5V LDO 59
表 52 QFN48 尺寸说明 61

1 总览

1.1 概述

本产品使用高性能的 Arm® Cortex®-M0 为内核的 32 位微控制器，5V 输出的 LDO 稳压器、三组具备有自举二极管的 N 通道半桥栅极驱动器。最高工作频率可达 96MHz，内置高速存储器，丰富的 I/O 端口和外设连接到外部总线。本产品包含多达 2 个 3Msps 的 12 位 ADC、1 个 DAC、3 个比较器、3 个运算放大器、1 个 16 位通用定时器、1 个 32 位通用定时器、3 个 16 位基本定时器、2 个 16 位高级定时器。还包含标准的通信接口：1 个 I2C 接口、2 个 SPI 接口和 3 个 UART 接口。

本产品预驱最大支持电压为 63V，工作温度范围（环境温度）包含 -40℃ ~ +85℃的 工业型（ 芯片同时也支持-40◦C ~ +105℃扩展型） 。内置多种省电工作模式保证低功耗应用的要求。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

- - 空气净化器
- - 服务器风机
- - 吊扇
- - 吊扇灯
- - 落地扇
- - 电动手工具
- - 吸尘器
- - 无人机电调
- - 水泵

本产品提供 QFN48 封装

具体使用说明请参考 MM32SPIN0280 系列芯片用户手册和勘误表。

1.2 产品简述

- 内核与系统
  - Arm® Cortex®-M0 32 位微控制器
  - 最高工作频率可达 96MHz
  - 单指令周期 32 位硬件乘法器
  - 硬件除法器 (32Bit)
  - 硬件开方 (32bit)
- 存储器
  - 高达 128KB 的 Flash 程序存储器
  - 高达 8KB SRAM
- 时钟、复位和电源管理
  - 2.0V ~ 5.5V 供电
  - 上电/断电复位 (POR/PDR)、可编程电压监测器 (PVD)
  - 外部 4 ~ 24MHz 高速晶体振荡器
  - 内嵌经出厂调校的 8MHz 高速 RC 振荡器
  - 支持多种 PLL 及分频模式

  - 内嵌 40KHz 低速振荡器
- 低功耗
  - 多种低功耗模式，包括：睡眠 (sleep)、停机 (stop)和待机模式 (standby)
- 2 个 12 位模数转换器，1/3μS 转换时间 (多达 16 个输入通道，2 个内部输入通道)
  - 转换范围：0 ~ VDDA
  - 支持采样时间和分辨率配置
  - 片上温度传感器
  - 片上电压传感器
- 1 个 DAC
  - 可通过 1 个 OPA 输出
- 3 个模拟比较器
- 3 个运算放大器
- 1 个 DMA 控制器，共 5 通道
- 支持的外设包括：Timer、ADC、UART、I2C、SPI
- 多达 29 个快速 I/O 端口：
  - 所有 I/O 口可以映像到16 个外部中断
  - 所有端口均可输入输出 VDD 信号
- 10 个定时器
  - 2 个16 位 4 通道高级控制定时器，有 4 通道 PWM 输出，以及死区生成和紧急停止功能
  - 1 个16 位通用定时器和1个32 位通用定时器，有高达4 个输入捕获/输出比较，可用于 IR 控制解码
  - 2 个16 位基本定时器，有1 个输入捕获/输出比较和1 组互补输出，死区生成，紧急停止。
  - 1 个 16 位定时器，有 1 个输入捕获/输出比较
  - 2 个看门狗定时器（独立型 和窗口型）
  - 1 个 Systick 定时器：24位自减型计数器
- 调试模式
  - 串行调试接口 (SWD)
- 多达 6 个数字外设接口
  - 3 个 UART 接口
  - 1 个 I2C 接口
  - 2 个SPI 接口（2 个 I2S 接口）
- 5V LDO 稳压器
  - 输入电压最高 13.5V
- 三组 N 型半桥式栅极驱动器 (GATE- DRIVER)
  - 工作电压 7V ~ 48V
  - 支持电压 UVLO 保护
  - 1A/1A SINK/SOURCE 三相栅极驱动电流
  - 内建自举二极管
  - 内建 65ns 死区时间设置
- 96 位芯片唯一 ID（UID）
- 采用 QFN48 封装

2 规格说明

2.1 型号列表

2.1.1 订购信息

表 1 订购信息

外围接口		产品型号
		MM32SPIN560C
闪存 K 字节		128
SRAM K 字节		8
定时器	通用 (16 bit)	1
	通用 (32 bit)	1
	基本	3
	高级	2
通讯接口	UART	3
	SPI	2
	I2C	1
GPIO 端口数		29
12 位 ADC	个数	2
	通道数	16
比较器		3
运算放大器		3
CPU 频率		96 MHz
工作电压		7.0V ~ 13.5V(Gate Driver、 VCC)
封装		QFN48

2.1.2 丝印

丝印标识

QFN 丝印示意:

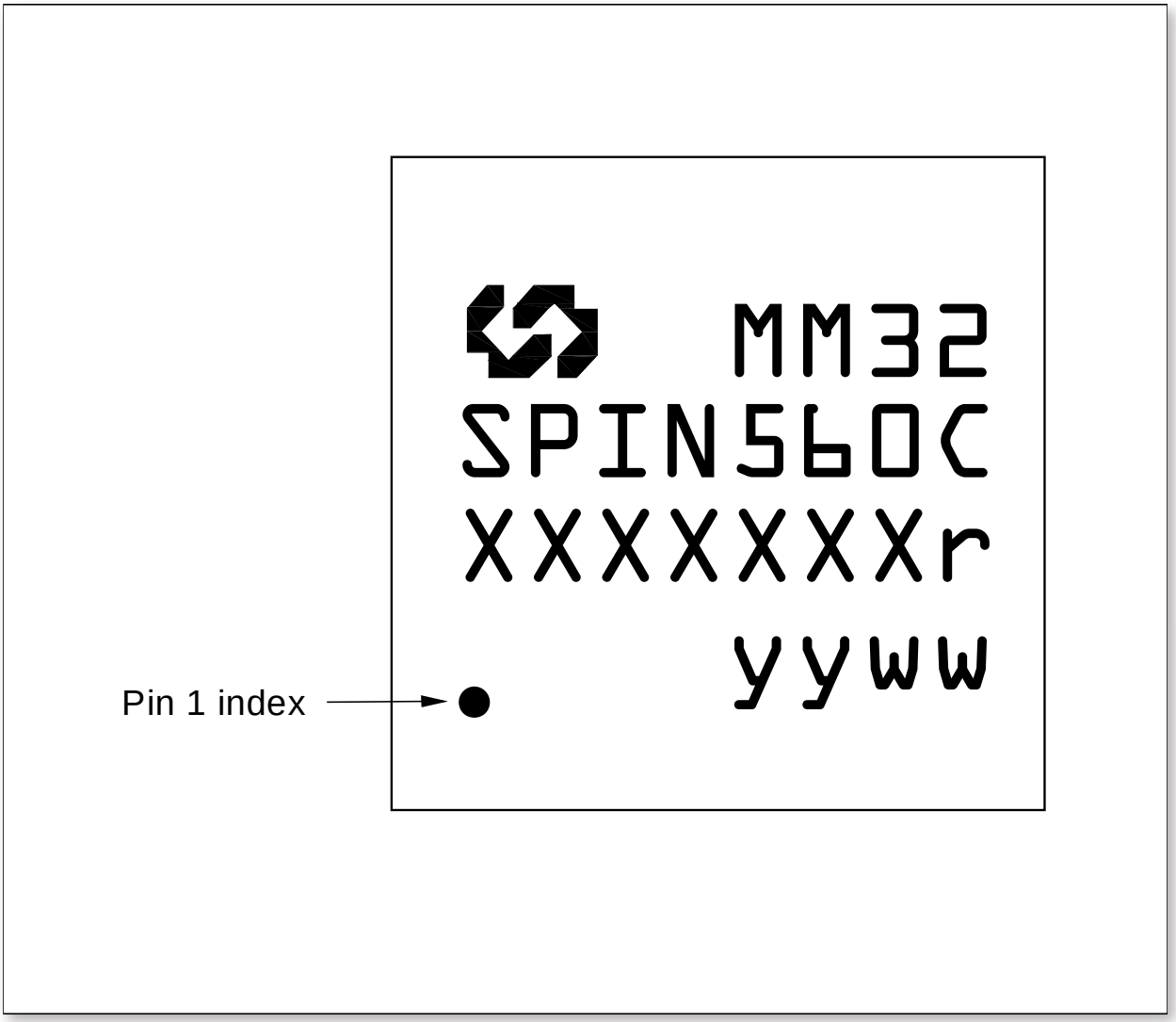

图 1 LQFP 和 QFN 封装丝印标识图

LQFP 封装一般在顶层包含如下丝印：

MM32

SPIN560C

XXXXXXXr

yyww

第一二行为 MM32Logo 和产品名称，第三行中“r”代表芯片版本号，第四行中“yy”代表日期编码中的年份，“ww”代表日期编码中的周数。

2.1.3 系统框图

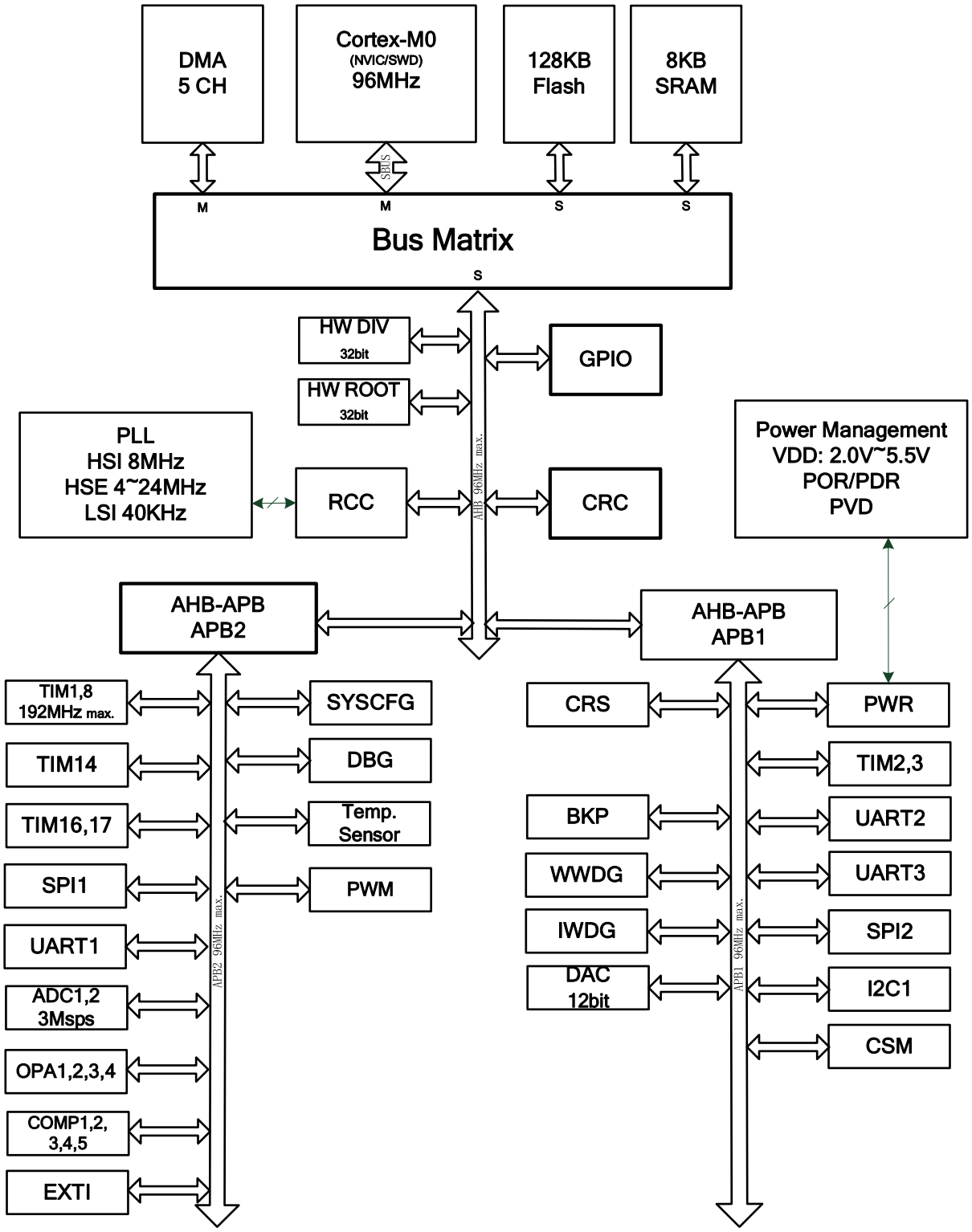

图 2 模块框图

2.2 功能说明

2.2.1 内核简介

Arm® 的 Cortex®-M0 处理器是最新一代的嵌入式 Arm 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

Arm® 的 Cortex®-M0 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位系统的存储空间上发挥了 Arm 内核的高性能。

本产品拥有内置的 Arm 核心，因此它与所有的 Arm 工具和软件兼容。

2.2.2 总线简介

MM32SPIN560C 采用矩阵总线结构，该矩阵包括两个 AHB 主机：CPU 和 DMA，三个从机分别是 SRAM、闪存存储、AHB 总线（含 AHB 到 APB 的总线桥）以及连接在 APB 总线的各种设备。

系统总线连接 CPU 内核和总线矩阵，从而达到数据传输的作用。CPU 和 DMA 作为主机驱动总线，总线矩阵会协调 CPU 内核和 DMA 之间的访问。

DMA 总线作用是连接 DMA 和总线矩阵，从而达到数据传输的作用，总线矩阵协调着主机 DMA 到从机 SRAM，闪存和连接在 APB 线上的各种外设的访问控制。

总线矩阵包括一个 AHB 互联矩阵，一个 AHB 总线和两个桥接的 APB 总线。当 CPU 总线和 DMA 总线同时请求时，具备仲裁的功能。AHB 总线的外设（RCC，HWDIV，GPIO 和 CRC）通过 AHB 互联矩阵与系统总线连接。在 APB 和 AHB 总线之间连接通过 AHB2APB 桥进行数据交换。当 APB 寄存器进行 8 位 16 位访问，APB 会自动拓宽成 32 位，同样的，AHB2APB 桥也具备自动拓宽功能。

2.2.3 存储器映像

表 2 存储器映像

总线	编址范围	大小	外设
FLASH	0x0000 0000 - 0x0001 FFFF	128 KB	主闪存存储器，系统存储器
	0x0002 0000 - 0x07FF FFFF	~128 MB	Reserved
	0x0800 0000 - 0x0800 FFFF	128 KB	Main Flash memory
	0x0802 0000 - 0x1FFD FFFF	~256 MB	Reserved
	0x1FFE 0000 - 0x1FFE 01FF	0.5 KB	Reserved
	0x1FFE 0200 - 0x1FFE 0FFF	3 KB	Reserved
	0x1FFE 1000 - 0x1FFE 1BFF	3 KB	Reserved
	0x1FFE 1C00 - 0x1FFF F3FF	~256 MB	Reserved
	0x1FFF F400 - 0x1FFF F7FF	1 KB	System memory
	0x1FFF F800 - 0x1FFF F80F	16 B	Option bytes
	0x1FFF F810 - 0x1FFF FFFF	~2 KB	Reserved
SRAM	0x2000 0000 - 0x2000 1FFF	8 KB	SRAM
	0x2000 2000 - 0x2000 2FFF	4 KB	Reserved
	0x2000 4000 - 0x2FFF FFFF	~512MB	Reserved
APB1	0x4000 0000 - 0x4000 03FF	1 KB	TIM2

总线	编址范围	大小	外设
	0x4000 0400 - 0x4000 07FF	1 KB	TIM3
	0x4000 0800 - 0x4000 0BFF	8 KB	Reserved
	0x4000 2800 - 0x4000 2BFF	1 KB	BKP
	0x4000 2C00 - 0x4000 2FFF	1 KB	WWDG
	0x4000 3000 - 0x4000 33FF	1 KB	IWDG
	0x4000 3400 - 0x4000 37FF	1 KB	Reserved
	0x4000 3800 - 0x4000 3BFF	1 KB	SPI2
	0x4000 4000 - 0x4000 43FF	1 KB	Reserved
	0x4000 4400 - 0x4000 47FF	1 KB	UART2
	0x4000 4800 - 0x4000 4BFF	3 KB	UART3
	0x4000 5400 - 0x4000 57FF	1 KB	I2C1
	0x4000 5800 - 0x4000 5BFF	1 KB	Reserved
	0x4000 5C00 - 0x4000 5FFF	1 KB	Reserved
	0x4000 6000 - 0x4000 63FF	1 KB	Reserved
	0x4000 6400 - 0x4000 67FF	1 KB	Reserved
	0x4000 6800 - 0x4000 6BFF	1 KB	CSM
	0x4000 6C00 - 0x4000 6FFF	1 KB	Reserved
	0x4000 7000 - 0x4000 73FF	1 KB	PWR
	0x4000 7400 - 0x4000 77FF	1 KB	DAC
	0x4000 7400 - 0x4000 FFFF	34 KB	Reserved
APB2	0x4001 0000 - 0x4001 03FF	1 KB	SYSCFG
	0x4001 0400 - 0x4001 07FF	1 KB	EXTI
	0x4001 0800 - 0x4001 0BFF	1 KB	TIM8
	0x4001 0C00 - 0x4001 23FF	6 KB	Reserved
	0x4001 2400 - 0x4001 27FF	1 KB	ADC1
	0x4001 2800 - 0x4001 2BFF	1 KB	ADC2
	0x4001 2C00 - 0x4001 2FFF	1 KB	TIM1
	0x4001 3000 - 0x4001 33FF	1 KB	SPI1
	0x4001 3400 - 0x4001 37FF	1 KB	DBGMCU
	0x4001 3800 - 0x4001 3BFF	1 KB	UART1
	0x4001 3C00 - 0x4001 3FFF	1 KB	COMP1~5/OPAMP1~4
	0x4001 4000 - 0x4001 43FF	1 KB	TIM14
	0x4001 4400 - 0x4001 47FF	1 KB	TIM16
	0x4001 4800 - 0x4001 4BFF	1 KB	TIM17
	0x4001 4CFF - 0x4001 5FFF	5 KB	Reserved
	0x4001 6000 - 0x4001 63FF	1 KB	Reserved
	0x4001 6400 - 0x4001 67FF	1 KB	PWM
	0x4001 6800 - 0x4001 7FFF	6 KB	Reserved
AHB	0x4002 0000 - 0x4002 03FF	1 KB	DMA
	0x4002 0400 - 0x4002 0FFF	3 KB	Reserved
	0x4002 1000 - 0x4002 13FF	1 KB	RCC
	0x4002 1400 - 0x4002 1FFF	3 KB	Reserved
	0x4002 2000 - 0x4002 23FF	1 KB	Flash 接口
	0x4002 2400 - 0x4002 2FFF	3 KB	Reserved
	0x4002 3000 - 0x4002 33FF	1 KB	CRC

总线	编址范围	大小	外设
	0x4002 3400 - 0x4002 5FFF	11 KB	Reserved
	0x4002 6000 - 0x4002 63FF	1 KB	Reserved
	0x4002 6400 - 0x4002 FFFF	35 KB	Reserved
	0x4003 0000 - 0x4003 03FF	1 KB	HWDIV
	0x4003 0400 - 0x4003 07FF	1 KB	HWSQRT
	0x4003 0800 - 0x47FF FFFF	~128MB	Reserved
	0x4800 0000 - 0x4800 03FF	1 KB	GPIOA
	0x4800 0400 - 0x4800 07FF	1 KB	GPIOB
	0x4800 0800 - 0x4800 0BFF	1 KB	GPIOC
	0x4800 0C00 - 0x4800 0FFF	1 KB	GPIOD
	0x4800 1000 - 0x5FFF FFFF	~384MB	Reserved

2.2.4 内置 Flash

最大 128KB 的内置 Flash，用于存放程序和数据。

2.2.5 内置 SRAM

最大 8KB 的内置 SRAM。

2.2.6 嵌套的向量式中断控制器 NVIC

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道 （不包括 16 个 Cortex®-M0 的中断线） 和 4 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.7 外部中断/事件控制器 EXTI

外部中断/事件控制器包含多个边沿检测器, 用于捕获来自 IO 引脚的电平变化, 进而产生中断/事件请求。所有 IO 引脚可以连接到 16 个外部中断线。 每个中断线均可独立开关，或启用各自的触发模式（上升沿、下降沿或双边沿）。一个挂起状态寄存器将会维持所有中断请求的状态。

EXTI 可以检测到脉冲宽度小于内部 AHB 总线时钟周期的电平变化。

2.2.8 时钟和启动

芯片启动后选择系统时钟。在复位后，首先使用内部的 8 MHz 振荡器作为默认的系统时钟，随后可选择使用外部的 4 - 24 MHz 时钟源。当监测到外部时钟无效时，系统会自动将外部时钟源屏蔽，关闭 PLL，转而使用内部的振荡器。此时，如果使能

了相关的中断监测开关，也会产生对应的中断请求。

时钟系统中，使用多个预分频器产生 AHB 总线、高速 APB（APB1 和 APB2）总线的时钟。其中 AHB 和高速 APB 总线的时钟最高可达 96 MHz。时钟系统的时钟树如下图所示。

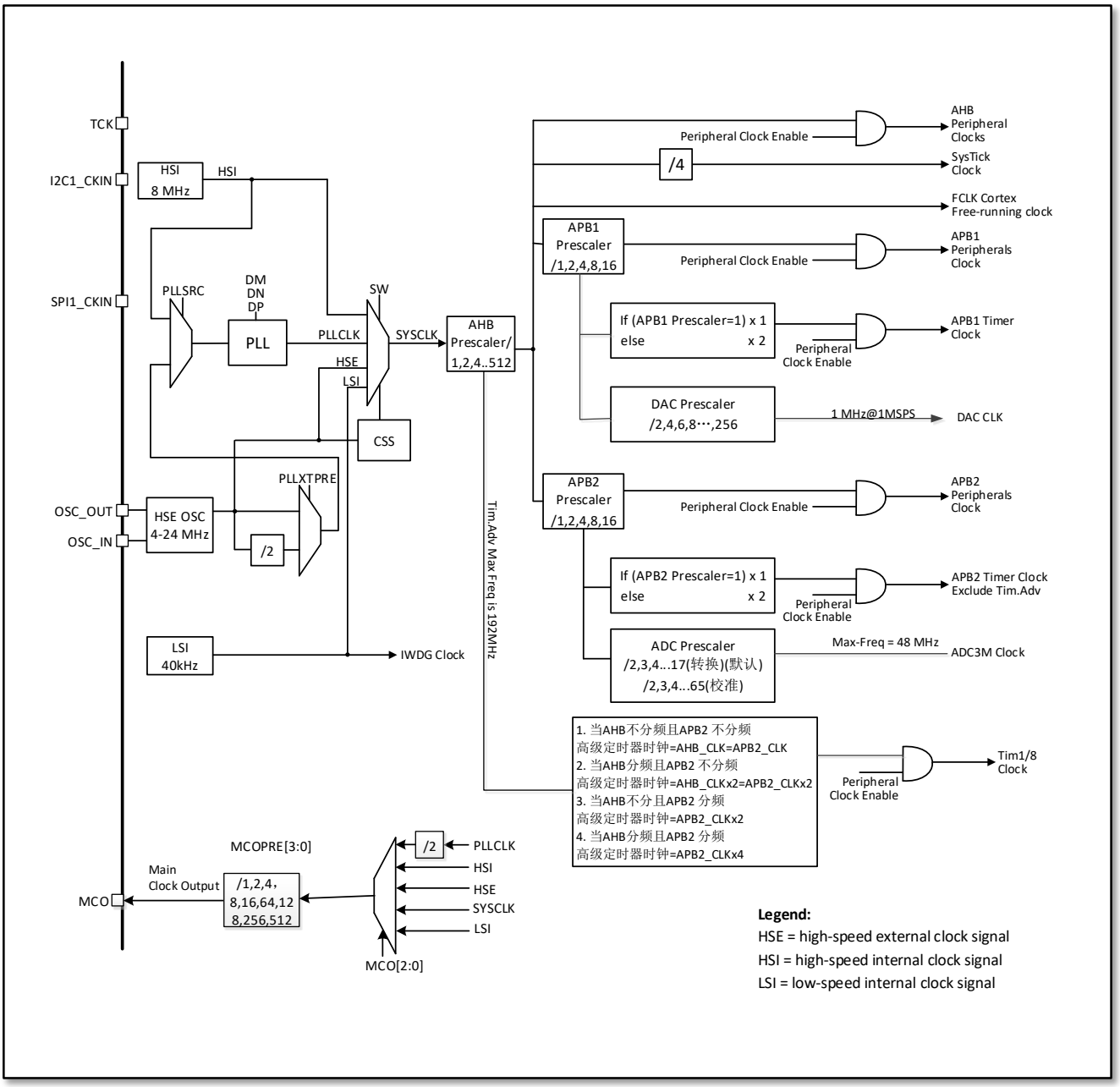

图 3 时钟树

2.2.9 供电方案 Power Supply Schemes

- V_{DD} = 2.0V ~ 5.5V：通过 V_{DD} 引脚为 I/O 引脚和内部调节器供电。
- V_{DDA} = 2.0V ~ 5.5V：为 ADC、复位模块、振荡器和 PLL 的模拟部分提供供电。V_{DDA} 和 V_{SSA} 可以分别连接到 V_{DD} 和V_{SS}，也可以单独供电（电压需与 V_{DD} 和V_{SS} 一致）。

2.2.10 供电监控器 Power Supply Supervisors

本产品内部集成了上电复位 (POR) / 掉电复位 (PDR) 电路，该电路始终处于工作状态，保证系统供电超过 2.0V 时工作；当 V_{DD} 低于设定的阈值 (V_{POR}/V_{PDR}) 时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器 (PVD)，它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

2.2.11 电压调压器 Voltage Regulator

片内的电压调压器将外部电压转成内部逻辑电路工作的电压。电压调压器在芯片复位后时钟处于工作状态。

2.2.12 低功耗模式 Low Power Mode

产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

表 3 低功耗模式一览

模式	进入	唤醒方式	对 1.5V 电源域时钟的影响	对 VDD 区域时钟的影响	电压调节器	对数据和寄存器的影响	注意事项
睡眠模式 (Sleep Mode)	WFI (Wait for Interrupt)	任一中断	CPU 时钟关，对其他时钟和 ADC 时钟无影响	无	开		外设时钟继续维持，寄存器和 SRAM 的内容保持
	WFE (Wait for Event)	唤醒事件					
停机模式 (Stop Mode)	LPDS 位；SLEEPDEEP 位；WFI 或 WFE；	任一外部中断 (在外部中断寄存器中设置)、IWDG 复位唤醒			开	寄存器和 SRAM 的内容维持，所有的外设时钟都停止	进入低功耗前不使用的 GPIO 应该设置模拟输入状态

模式	进入	唤醒方式	对 1.5V 电源域时钟的影响	对 VDD 区域时钟的影响	电压调节器	对数据和寄存器的影响	注意事项
深度停机模式 (DeepStop Mode)	PDDS 位;LPDS 位; SLEEPDEEP 位; WFI 或 WFE;	任一外部中断 (在外部中断寄存器中设置)、IWDG 复位唤醒	所有使用 1.5V 的区域的时钟都已关闭	PLL、HSI 和 HSE 的振荡器关闭	开	寄存器和 SRAM 的内容维持，所有的外设时钟都停止	进入低功耗前不使用的 GPIO 应该设置模拟输入状态
待机模式 (Standby Mode)	PDDS 位; SLEEPDEEP 位; WFI 或 WFE;	WKUP 引脚、NRST 引脚上的外部复位、IWDG 复位			关	寄存器和 SRAM 的内容全部丢失，所有的外设时钟都停止，唤醒相当于芯片复位	

睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到较低的电能消耗。在停机模式下，HSI 的振荡器和 HSE 晶体振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

深度停机模式

与停机模式状态一致，但能够达到更低的电能消耗。

待机模式

待机模式可实现系统的最低功耗。该模式是在 CPU 深睡眠模式时关闭电压调节器。内部所有的 1.5V 部分的供电区域被断开。PLL、HSI 和 HSE 振荡器也都关闭, 可以通过 WKUP 引脚的上升沿、NRST 引脚的外部复位、IWDG 复位唤醒或者看门狗定时器唤醒并复位。SRAM 和寄存器的内容将被丢失。只有备份的寄存器和待机电路维持供电。

2.2.13 硬件除法器 HWDIV

内嵌硬件除法器单元，能自动执行有符号或者无符号的 32 位整数除法运算。硬件除法在一些高性能的应用中非常有用。

2.2.14 硬件开方 HSQRT

硬件开方单元支持 32 位的开根号运算。

2.2.15 DMA

灵活的 5 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设，如 UART、I2C、SPI、ADC 和通用/基本/高级控制定时器 TIMx。

2.2.16 定时器和看门狗 TIM & WDG

产品包含 2 个高级定时器、2 个通用定时器、3 个基本定时器。以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。下表比较了高级控制定时器、通用定时器和基本定时器的功能：

表 4 定时器功能比较

定时器类型	名称	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级	TIM1 /TIM8	16 位	递增、递减、递增/递减	1 ~ 65536 之间的任意 整数	有	4	有
通用	TIM2	32 位	递增、递减、递增/递减	1 ~ 65536 之间的任意 整数	有	4	无
	TIM3	16 位	递增、递减、递增/递减	1 ~ 65536 之间的任意 整数	有	4	无
基本	TIM14/TIM16 /TIM17	16 位	递增	1 ~ 65536 之间的任意 整数	有	无	无

高级控制定时器(TIM1 / TIM8)

高级控制定时器是由 16 位计数器、4 个捕获/比较通道以及三相互补 PWM 发生器组成，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生PWM（边缘或中心对齐模式）
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIM2 定时器具有相同的功能。配置为 16 位 PWM

发生器时，它具有全调制能力 (0 ~ 100%)。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器 (TIMx)

产品中内置了多达 4 个可同步运行的通用定时器（TIM2、TIM3）。定时器有一个 16/32 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器_32 位

定时器有一个 32 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器_16 位

每个定时器有一个 16 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。每个定时器 都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1 ~ 4 个霍尔传感器的数字输出。每个定时器都 PWM 输出或作为简单时间基准。

基本定时器 (TIM14 / TIM16 / TIM17)

定时器均基于一个 16 位自动重载递增计数器和一个 16 位预分频器。在调试模式下，计数器可以被冻结。

独立看门狗 (IWDG)

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟。因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗(WWDG)

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用 于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下， 计数器可以被冻结。

系统时基定时器 (Systick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器

- 自动重加载功能
- 当计数器为 0时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.17 脉冲宽度调制 PWM

PWM 控制模块控制高级定时器 TIM1 输出的 PWM 波形，生成六步方波驱动电机运转。该模块支持自动换相屏蔽（auto phase mask），电流补偿（Current Compensation）和电流保护（Current Protection）功能。

2.2.18 备份寄存器

备份寄存器是 20 个 16 位的寄存器，可用来存储用户应用程序数据。他们处在备份域里。当系统在待机模式下被唤醒，或系统复位或电源复位时，他们也不会被复位。

2.2.19 GPIO

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

2.2.20 通用异步收发器 UART

UART 接口支持 LIN 主从功能。兼容 ISO7816 智能卡模式。UART 接口支持输出数据长度可为 5 位、6 位、7 位、8 位、9 位可配置。

所有 UART 接口都可以使用 DMA 操作。

2.2.21 I2C 总线

I2C 总线接口能够工作于多主模式或从模式，支持标准和快速模式。

I2C 接口支持 7 位或 10 位寻址。

2.2.22 SPI 接口

SPI 接口在从或主模式下，可配置成每帧 1 ~ 32 位。主模式下 SPI 支持最大时钟频率 24 MHz，从模式下支持最大时钟频率 12 MHz。

所有的 SPI 接口都可以使用 DMA 操作。

2.2.23 I2S 接口

与 SPI 共用三个管脚，支持半双工通信（仅发射机或接收机），支持主操作或从操作，发射模式下的下溢标志（仅从机），接收模式下的上溢标志（主和从机）和接收/发射模式下的帧错误标志（仅从机）。

8 位可编程线性预分频器，以达到精确的音频采样频率（8KHz 到 192KHz）。

数据格式可以是 16 位、24 位或 32 位，数据包帧固定为 16 位（16 位数据帧）或 32 位（16 位、24 位、32 位数据帧）。

2.2.24 通用串行模块 CSM

串行收发模块（CSM:common serial module）主要用于串行数据的接收和发送，数据可以选择比较器或者 GPIO 输入，通过内部设置的波特率采样后转换为 32 位数据，可用 CPU 或者 DMA 保存在存储器，再通过软件分析接收的数据。

2.2.25 ADC

产品内嵌 2 个 12 位的模拟/数字转换器 (ADC)，可用的 ADC 外部通道多达 16 个，可以实现单次、单周期和连续扫描转换。在扫描模式下，自动进行已选定的一组模拟输入上的采集值转换。ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器 (TIMx) 和高级控制定时器产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 ADC 转换与时钟同步。

温度传感器

温度传感器产生一个随温度线性变化的电压。温度传感器在内部被连接到 ADC 的输入通道上，用于将传感器的输出转换到数字数值。

2.2.26 DAC

数字 / 模拟转换模块（DAC) 是 12 位数字输入，电压输出的数字 / 模拟转换器。DAC 可以配置成 8 位或者 12 位模式，也可以与 DMA 控制器配合使用。DAC 工作在 12 位模式时，数据可以设置成左对齐，也可以设置成右对齐。DAC 有 2 个输出通道，每个通道都有单独的转换器，可以工作在双 DAC 模式。

2.2.27 模拟比较器 COMP

产品内嵌 3 个比较器，可独立使用（适用所有终端上的 I/O 口），也可与定时器结合使用。COMP 可用于多种功能，包括：

- 由模拟信号触发低功耗模式唤醒事件
- 调节模拟信号
- 定时器输出的PWM 相结合，组成逐周期的电流控制回路
- 轨对轨比较器
- 每个比较器有可选门限
  - 可复用的 I/O 引脚
  - 内部比较电压CRV 可选择VDDA 或者内部基准电压的分压电压值
- 可编程迟滞电压
- 可编程的速率和功耗
- 输出端可以重定向到一个I/O 端口或多个定时器输入端，可以触发以下事件：
  - 捕获事件
  - OCref_clr 事件（逐周期电流控制）
- 为实现快速 PWM 关断的刹车事件

2.2.28 运算放大器 OPAMP

芯片内嵌 3 个运算放大器，每个运算放大器的输入输出都连接到 I/O ，通过共享 I/O 可以与 ADC ，比较器相连。支持轨到轨输入/输出。

2.2.29 循环冗余校验计算单元 CRC

CRC （循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.2.30 串行调试口 (SWD)

内嵌 Arm 标准的两线串行调试接口 (SW-DP)。

3 引脚定义及复用功能

3.1 引脚分布图

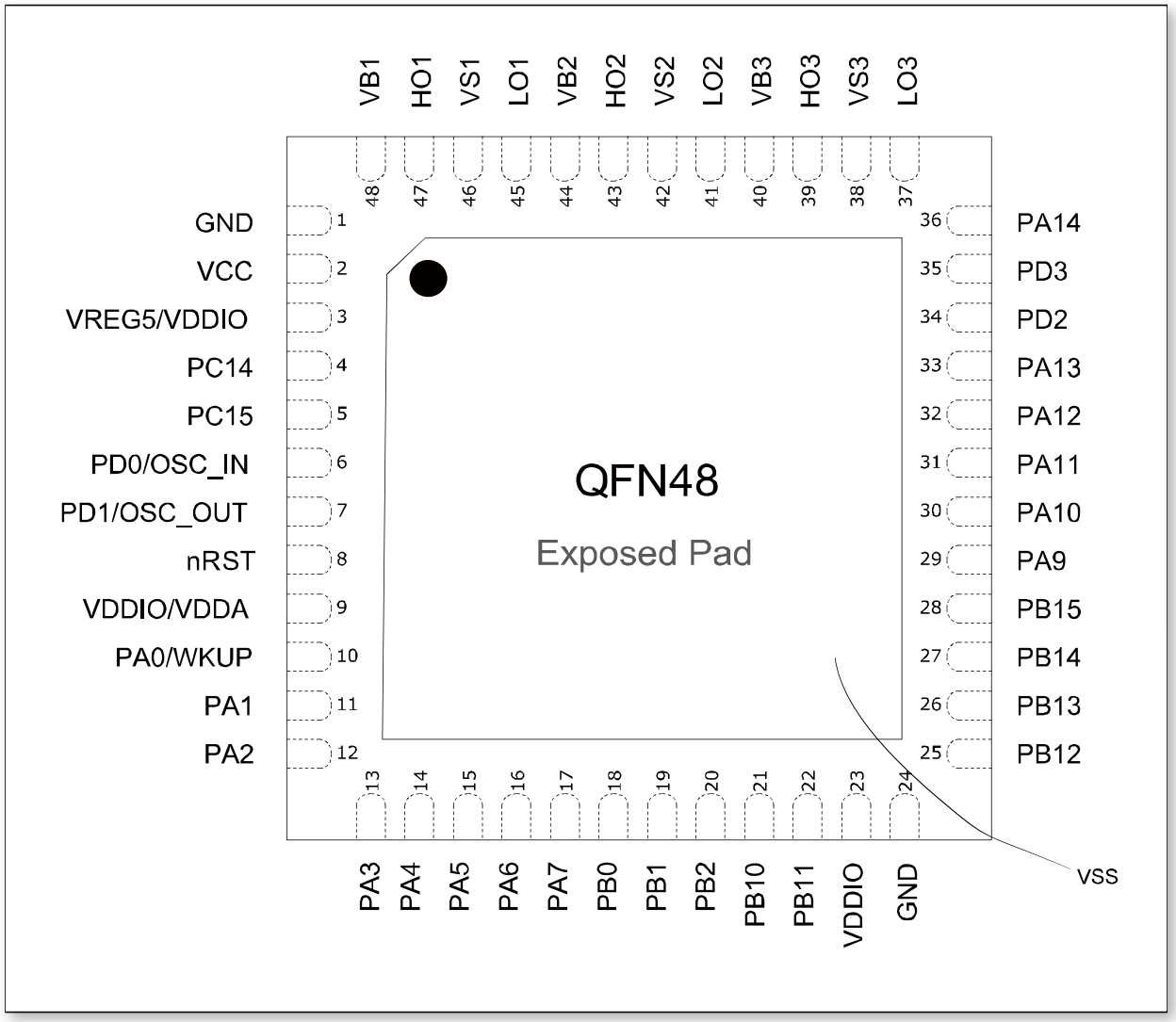

图 4 QFN48 引脚分布

3.2 引脚定义表

表 5 引脚定义

引脚编码 QFN48	引脚名称	类型(1)	I/O 电平(2)	主功能	可选的复用功能	附加功能
1	GND	S	-	VSSIO	-	-
2	VCC			VCC		
3	VREG5/VDDIO			VREG5/VDDIO		
4	PC14	IO	TC	PC14	TIM2_CH2 PWMTRG2	CMP3_INP
5	PC15	IO	TC	PC15	TIM2_CH3 PWMTRG3	CMP3_INM
6	PD0	IO	TC	PD0	TIM1_CH1N I2C1_SDA UART3_TX UART1_TX TIM8_ETR SPI1_MOSI SPI1_MOSI COMP2_OUT	OSC_IN
7	PD1	IO	TC	PD1	TIM1_BKIN TIM1_BKIN UART3_RX UART1_RX SPI1_MISO SPI1_SCK COMP3_OUT	OSC_OUT
8	NRST	IO	-	NRST	-	-
9	VDDA/VDDIO	S		VDDA/VDDIO	-	-
10	PA0	IO	TC	PA0	UART2_CTS TIM2_CH1 TIM2_ETR PWMTRG1 TIM14_CH1 COMP4_OUT	ADC1_VIN[0] WKP1
11	PA1	IO	TC	PA1	UART2_RTS TIM2_CH2 PWMTRG2 TIM1_CH2	ADC1_VIN[1]
12	PA2	IO	TC	PA2	UART2_TX TIM2_CH3 PWMTRG3 TIM1_CH2N COMP5_OUT	ADC1_VIN[2] WKP3

引脚定义及复用功能

引脚编码 QFN48	引脚名称	类型(1)	I/O 电平(2)	主功能	可选的复用功能	附加功能
13	PA3	IO	TC	PA3	UART2_RX TIM2_CH4 TIM1_CH3	ADC1_VIN[3]
14	PA4	IO	TC	PA4	SPI1_NSS SPI1_SCK TIM1_CH3N TIM14_CH1	OP1_INP ADC2_VIN[4] ADC1_VIN[4]
15	PA5	IO	TC	PA5	SPI1_SCK SPI1_NSS TIM2_CH1 TIM2_ETR	OP1_INM ADC2_VIN[5] ADC1_VIN[5]
16	PA6	IO	TC	PA6	SPI1_MISO TIM3_CH1 TIM1_BKIN TIM8_BKIN TIM16_CH1 COMP4_OUT	CMP4_INP1 CMP5_INP1 OP1_OUT ADC2_VIN[6] ADC1_VIN[6]
17	PA7	IO	TC	PA7	SPI1_MOSI TIM3_CH2 TIM1_CH1N TIM8_CH1N TIM14_CH1 TIM17_CH1 COMP5_OUT	ADC2_VIN[7] ADC1_VIN[7]
18	PB0	IO	TC	PB0	TIM3_CH3 TIM1_CH2N TIM8_CH2N	OP2_INP ADC2_VIN[8] ADC1_VIN[8]
19	PB1	IO	TC	PB1	TIM14_CH1 TIM3_CH4 TIM1_CH3N TIM8_CH3N TIM2_CH3 PWMTRG3	OP2_INM ADC2_VIN[9] ADC1_VIN[9]

引脚定义及复用功能

引脚编码 QFN48	引脚名称	类型(1)	I/O 电平(2)	主功能	可选的复用功能	附加功能
20	PB2	IO	TC	PB2	CSM_CH1_TXRX	CMP4_INP2 CMP5_INP2 OP2_OUT ADC2_VIN[10] ADC1_VIN[10]
21	PB10	IO	TC	PB10	I2C1_SCL TIM2_CH3 CSM_CH2_TXRX SPI2_SCK	CMP4_INP3 CMP5_INP3 OP3_OUT ADC2_VIN[11] ADC1_VIN[11]
22	PB11	IO	TC	PB11	I2C1_SDA TIM2_CH4	OP3_INM
23	VDDIO	S		VDDIO	-	-
24	GND	S	-	VSSIO	-	-
25	PB12	IO	TC	PB12	SPI2_NSS SPI2_SCK TIM1_BKIN SPI2_MOSI SPI2_MISO	OP3_INP CMP4_INM0 CMP5_INM0
26	PB13	IO	TC	PB13	SPI2_SCK SPI2_MISO TIM1_CH1N SPI2_NSS SPI2_MOSI I2C1_SCL TIM17_CH1	ADC2_VIN[3]
27	PB14	IO	TC	PB14	SPI2_MISO SPI2_MOSI TIM1_CH2N SPI2_SCK SPI2_NSS I2C1_SDA	ADC2_VIN[2]
28	PB15	IO	TC	PB15	SPI2_MOSI SPI2_NSS TIM1_CH3N SPI2_MISO SPI2_SCK	ADC2_VIN[1] WKP6
29	PA9	IO	TC	PA9	UART1_TX TIM1_CH2 UART1_RX	ADC1_VIN[12] ADC2_VIN[12]

引脚定义及复用功能

引脚编码 QFN48	引脚名称	类型(1)	I/O 电平(2)	主功能	可选的复用功能	附加功能
					I2C1_SCL MCO	
30	PA10	IO	TC	PA10	TIM17_BKIN UART1_RX TIM1_CH3 UART1_TX I2C1_SDA TIM16_CH1	ADC2_VIN[0]
31	PA11	IO	TC	PA11	UART2_TX UART1_CTS TIM1_CH4 TIM1_CH3 TIM2_CH1 TIM2_ETR PWMTRG1 I2C1_SCL TIM1_BKIN COMP4_OUT	CMP5_INP0
32	PA12	IO	TC	PA12	UART2_RX UART1_RTS TIM1_ETR TIM1_CH3N TIM2_CH2 PWMTRG2 I2C1_SDA TIM8_BKIN COMP5_OUT	CMP5_INM2
33	PA13	IO	TC	PA13	SWDIO UART1_RX COMP2_OUT	-
34	PD2	IO	TC	PD2	I2C1_SCL SPI1_NSS	CMP4_INM2
35	PD3	IO	TC	PD3	I2C1_SDA SPI1_SCK SPI1_MISO	CMP4_INP0
36	PA14	IO	TC	PA14	SWDCLK UART2_TX UART1_TX COMP1_OUT	-
37	LO3			LO3		
38	VS3			VS3		
39	HO3			HO3		
40	VB3			VB3		
41	LO2			LO2		
42	VS2			VS2		
43	HO2			HO2		
44	VB2			VB2		
45	LO1			LO1		
46	VS1			VS1		

引脚定义及复用功能

引脚编码	引脚名称	类型(1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
QFN48						
47	HO1			HO1		
48	VB1			VB1		

1.I = 输入，O = 输出，S = 电源，HiZ = 高阻
2.TC: 标准 IO，输入信号不超过 VDD 电压

3.3 复用功能表

表 6 PA 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	UART2_CTS	TIM2_CH1/ TIM2_ETR/ PWMTRG1	-	-	-	TIM14_CH1	COMP4_OUT
PA1	-	UART2_RTS	TIM2_CH2/ PWMTRG2	TIM1_CH2	-	-	-	-
PA2	-	UART2_TX	TIM2_CH3/ PWMTRG3	TIM1_CH2N	-	-	-	COMP5_OUT
PA3	-	UART2_RX	TIM2_CH4	TIM1_CH3	-	-	-	-
PA4	SPI1_NSS	SPI1_SCK		TIM1_CH3N	TIM14_CH1	-	-	-
PA5	SPI1_SCK	SPI1_NSS	TIM2_CH1/ TIM2_ETR	-	-	-	-	-
PA6	SPI1_MISO	TIM3_CH1	TIM1_BKIN	TIM8_BKIN	-	TIM16_CH1	-	COMP4_OUT
PA7	SPI1_MOSI	TIM3_CH2	TIM1_CH1N	TIM8_CH1N	TIM14_CH1	TIM17_CH1	-	COMP5_OUT
PA8	MCO	-	TIM1_CH1	-	-	-	-	-
PA9		UART1_TX	TIM1_CH2	UART1_RX	I2C1_SCL	MCO	-	-
PA10	TIM17_BKIN	UART1_RX	TIM1_CH3	UART1_TX	I2C1_SDA	-	TIM16_CH1	-
PA11	UART2_TX	UART1_CTS	TIM1_CH4	TIM1_CH3	TIM2_CH1/ TIM2_ETR/ PWMTRG1	I2C1_SCL	TIM1_BKIN	COMP4_OUT
PA12	UART2_RX	UART1_RTS	TIM1_ETR	TIM1_CH3N	TIM2_CH2/ PWMTRG2	I2C1_SDA	TIM8_BKIN	COMP5_OUT
PA13	SWDIO	UART1_RX	-	-	-	-	-	COMP2_OUT
PA14	SWDCLK	UART2_TX	UART1_TX	-	-	-	-	COMP1_OUT
PA15	SPI1_NSS	UART2_RX	TIM2_CH1/ TIM2_ETR	SPI2_SCK	SPI2_MOSI	SPI2_MISO	TIM1_CH1N	TIM1_CH3N

表 7 PB 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	-	TIM3_CH3	TIM1_CH2N	TIM8_CH2N	-	-	-	-
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	TIM8_CH3N	TIM2_CH3/PWMTRG3	-	-	-
PB2	-	-	-	CSM_CH1_TXRX	-	-	-	-
PB3	SPI1_SCK	-	TIM2_CH2	-	-		TIM1_CH2N	TIM1_CH3
PB4	SPI1_MISO	TIM3_CH1		-	-	TIM17_BKIN	TIM1_CH3N	TIM1_CH2N
PB5	SPI1_MOSI	TIM3_CH2	TIM16_BKIN	-	-	-	TIM1_CH1	TIM1_CH2
PB6	UART1_TX	I2C1_SCL	TIM16_CH1N	-	-	-	TIM1_CH2	TIM1_CH1N
PB7	UART1_RX	I2C1_SDA	TIM17_CH1N	-	-	-	TIM1_CH3	TIM1_CH1
PB8	UART1_RX	I2C1_SCL	TIM16_CH1	TIM1_CH1	-	-	TIM3_CH2	-
PB9	UART1_TX	I2C1_SDA	TIM17_CH1	-	-	SPI2_NSS	TIM3_CH3	-
PB10	-	I2C1_SCL	TIM2_CH3	CSM_CH2_TXRX	-	SPI2_SCK	-	-
PB11	-	I2C1_SDA	TIM2_CH4		-	-	-	-
PB12	SPI2_NSS	SPI2_SCK	TIM1_BKIN	SPI2_MOSI	SPI2_MISO	-	-	-
PB13	SPI2_SCK	SPI2_MISO	TIM1_CH1N	SPI2_NSS	SPI2_MOSI	I2C1_SCL	TIM17_CH1	-
PB14	SPI2_MISO	SPI2_MOSI	TIM1_CH2N	SPI2_SCK	SPI2_NSS	I2C1_SDA	-	-
PB15	SPI2_MOSI	SPI2_NSS	TIM1_CH3N	SPI2_MISO	SPI2_SCK	-	-	-

引脚定义及复用功能

表 8 PC 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC12	UART1_TX	-	-	SPI2_SCK	SPI2_MISO	SPI2_MOSI	SPI2_NSS	-
PC14	-	-	-	-	-	-	TIM2_CH2/ PWMTRG2	-
PC15	-	-	-	-	-	-	TIM2_CH3/ PWMTRG3	-

表 9 PD 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD0	TIM1_CH1N	I2C1_SDA	UART3_TX	UART1_TX	TIM8_ETR	SPI1_MOSI	SPI1_MOSI	COMP2_OUT
PD1	TIM1_BKIN	I2C1_SCL	UART3_RX	UART1_RX	-	SPI1_MISO	SPI1_SCK	COMP3_OUT
PD2	-	I2C1_SCL	-	-	-	SPI1_NSS	SPI1_NSS	-
PD3	-	I2C1_SDA	-	-	-	SPI1_SCK	SPI1_MISO	-

表 10 比较器使用的 IO 口

	INP				INM		OUT
COMP1	-				-		PA14
COMP2	-				-		PA13/PD0
COMP3	PC14				PC15		PD1
COMP4	PD3	PA6	PB2	PB10	PB12	PD2	PA0/PA6/PA11
COMP5	PA6	PA11	PB2	PB10	PA12	PB12	PA2/PA7/PA12

表 11 OP 使用的 IO 口

	INP	INM	OUT
OP1	PA4	PA5	PA6
OP2	PB0	PB1	PB2
OP3	PB12	PB11	PB10

3.4 驱动芯片扩展引脚说明

表 12 GateDriver 引脚说明

引脚号	引脚名称	引脚功能
1	GND	**IC** 的地线。
2	VCC	**IC** 内部的栅极驱动器电源。 此引脚为 IC 内部 LDO 输入的 12V 电压。
3	VREG5/VDDIO	**IC** 内部的 **MCU** 电源。 该引脚为 IC 内部 LDO 输出的 5V 电压。
9	VDDIO/VDDA	IC 内部的 **MCU** 电源。 该引脚为 IC 提供偏置电压。此引脚和 2V~5.5V 电压源连接，旁路使用 R/C 滤波器。
23	VDDIO	IC 内部的 **MCU** 电源。 该引脚为 IC 提供偏置电压。此引脚和 2V~5.5V 电压源连接，旁路时使用 R/C 滤波器。
24	GND	**IC** 的地线。
37	LO3	栅极驱动器下桥臂输出 **3**。 将此引脚连接到低端 MOSFET 的栅极。该引脚由射出保护电路进行监控，用来确定何时 MOSFET 关闭。
38	VS3	功率切换电路输出相节点 **3**。 将此引脚连接到 MOSFET 上方的源极和 MOSFET 下桥臂的漏极。该引脚用作 UGATE 驱动程序的返回路径。该引脚还受到射出保护电路的监控，用来确定上部 MOSFET 何时关闭。
39	HO3	栅极驱动器上桥臂输出 **3**。 将此引脚连接到上端 MOSFET 的栅极。该引脚通过射出保护电路进行监控，用来确定上部 MOSFET 何时关闭。
40	VB3	栅极驱动器自举电源输出 **3**。 用来提升上桥臂驱动器的电压。将引导电容器 CBOOT 连接在 VB3 引脚和 VS3 引脚之间用来从自举电路中引出。自举电容

		器为打开上部 MOSFET 提供电荷。电路设计尽量确保 CBOOT 置在 IC 附近。
41	LO2	栅极驱动器下桥臂输出 **2**。 将此引脚连接到低端 MOSFET 的栅极。该引脚由射出保护电路进行监控，用来确定何时 MOSFET 关闭。
42	VS2	功率切换电路输出相节点 **2**。 将此引脚连接到 MOSFET 上方的源极和 MOSFET 下桥臂的漏极。该引脚用作 UGATE 驱动程序的返回路径。该引脚还受到射出保护电路的监控，用来确定上部 MOSFET 何时关闭。
43	HO2	栅极驱动器上桥臂输出 **2**。 将此引脚连接到上端 MOSFET 的栅极。该引脚通过射出保护电路进行监控，用来确定上部 MOSFET 何时关闭。
44	VB2	栅极驱动器自举电源输出 **2**。 用来提升上桥臂驱动器的电压。将引导电容器 CBOOT 连接在 VB2 引脚和 VS2 引脚之间用来从自举电路中引出。自举电容器为打开上部 MOSFET 提供电荷。电路设计尽量确保 CBOOT 置在 IC 附近。
45	LO1	栅极驱动器下桥臂输出 **1**。 将此引脚连接到低端 MOSFET 的栅极。该引脚由射出保护电路进行监控，用来确定何时 MOSFET 关闭。
46	VS1	功率切换电路输出相节点 **1**。 将此引脚连接到 MOSFET 上方的源极和 MOSFET 下桥臂的漏极。该引脚用作 UGATE 驱动程序的返回路径。该引脚还受到射出保护电路的监控，用来确定上部 MOSFET 何时关闭。
47	HO1	栅极驱动器上桥臂输出 **1**。 将此引脚连接到上端 MOSFET 的栅极。该引脚通过射出保护电路进行监控，用来确定上部 MOSFET 何时关闭。
48	VB1	栅极驱动器自举电源输出 **1**。 用来提升上桥臂驱动器的电压。将引导电容器 CBOOT 连接在 VB1 引脚和 VS1 引脚之间用来从自举电路中引出。自举电容器为打开上部 MOSFET 提供电荷。电路设计尽量确保 CBOOT 置在 IC 附近。
	EN	由 PC12 控制。使能驱动控制。 高电平使能栅极驱动器，低电平则禁用栅极驱动器。

3.5 功能框图与应用参考电路

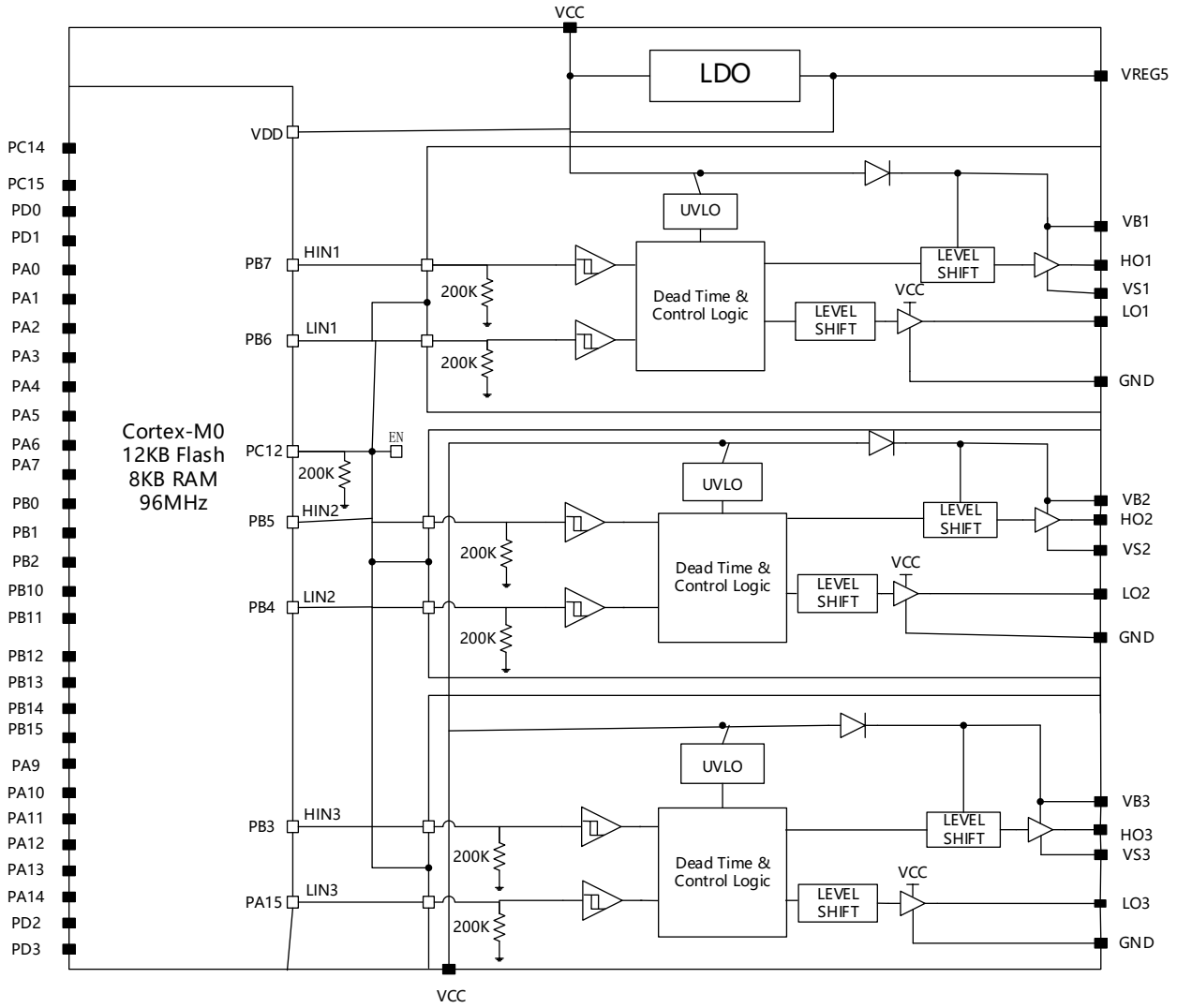

图 5 功能框图

4 电气特性

4.1 测试条件

除非特别说明，所有电压都以 VSS 为基准。

4.1.1 负载电容

测量引脚参数时的负载条件示于下图。

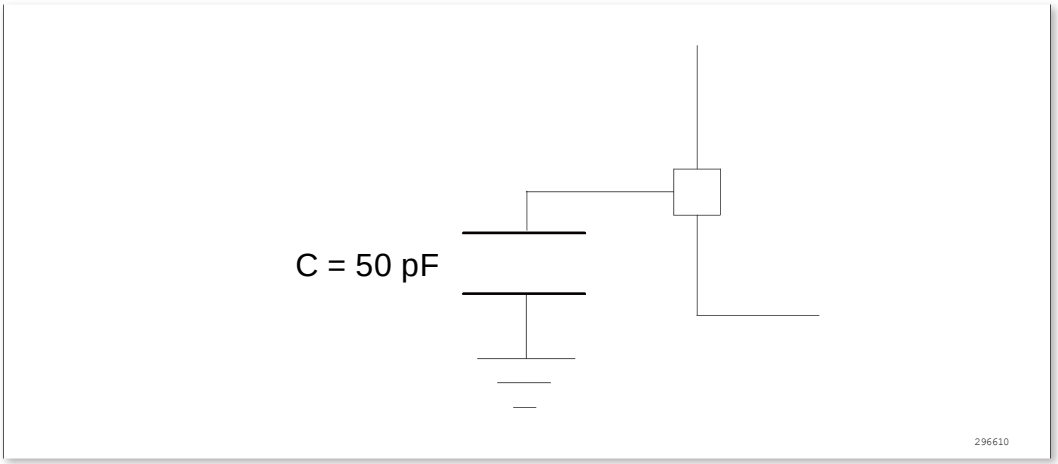

图 6 引脚的负载条件

4.1.2 引脚输入电压

引脚上输入电压的测量方式示于下图。

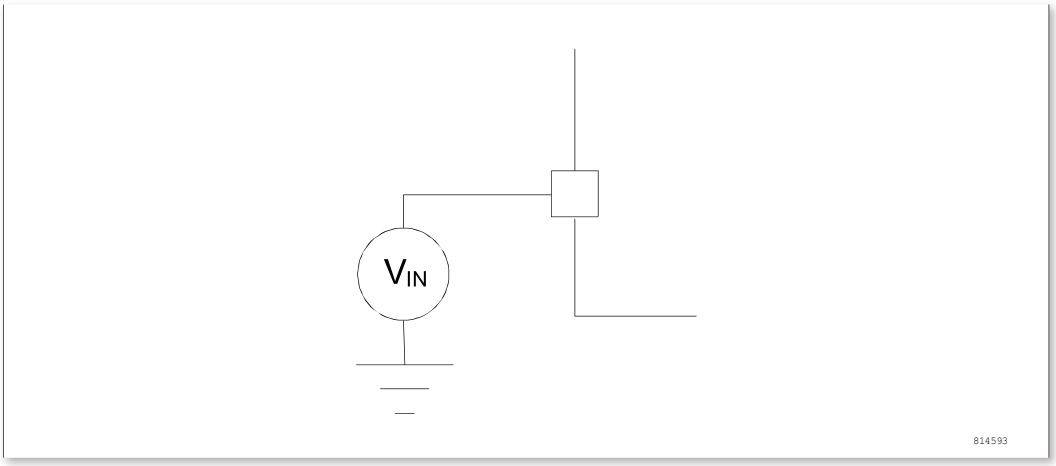

图 7 引脚输入电压

4.1.3 供电方案 Power Supply

供电设计方案示于下图。

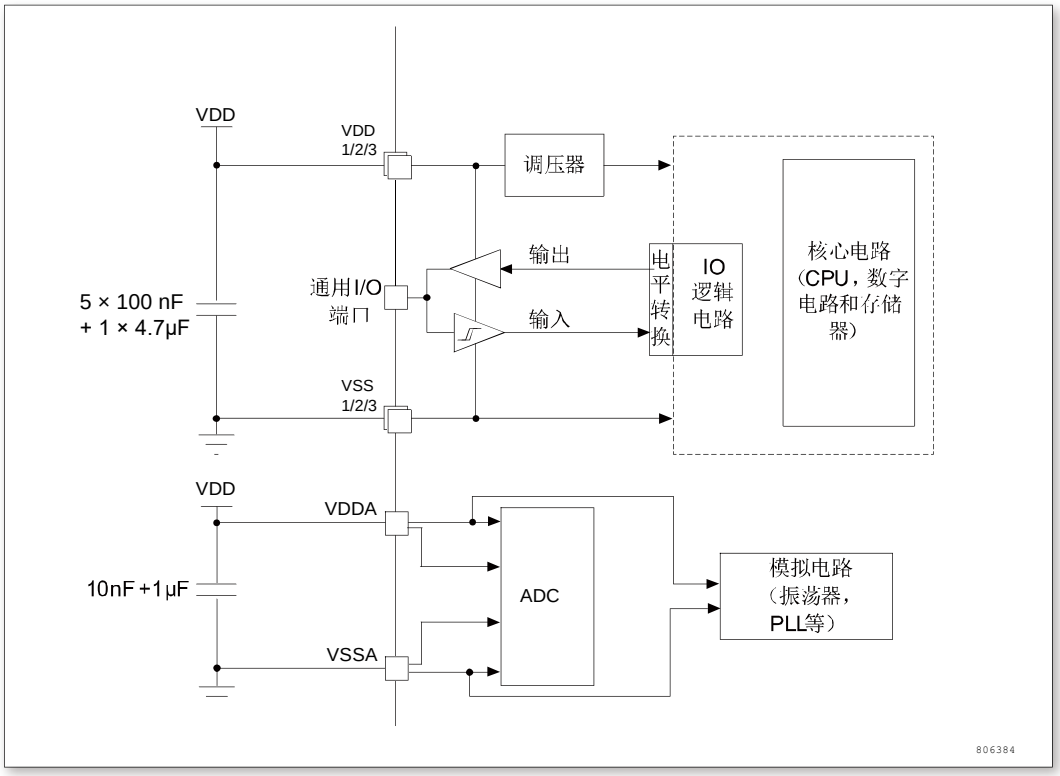

图 8 供电方案

4.1.4 电流消耗测量

引脚上电流消耗的测量方式示于下图。

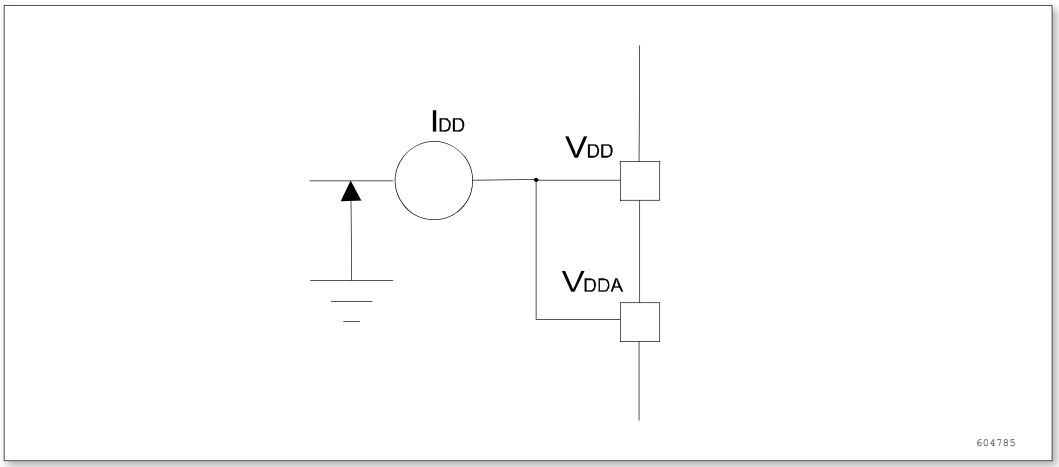

图 9 电流消耗测量方案

4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表（表 10，表 11）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 13 电压特性

符号	描述	最小值	最大值	单位
V_{DDx}-V_{SSx}	外部主供电电压 (包含V_{DDA} 和 V_{SSA})(1)	-0.3	5.8	V
V_{IN}(2)	在其它引脚上的输入电压	VSS-0.3	VDD+0.3	

1. 所有的电源 (V_{DD}, V_{DDA}) 和地 (V_{SS}, V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. 必须始终遵循V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见下表。

电气特性

表 14 电流特性

符号	描述	最大值	单位
$I_{VDD/VDDA}$(1)	经过 VDD/VDDA 电源线的总电流（供应电流）(1)	+120	mA
$I_{VSS/VSSA}$(1)	经过 VSS/VSSA 地线的总电流（流出电流）(1)	-120	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	+25	
	任意 I/O 和控制引脚上的输出电流	-25	
$I_{INJ（PIN）}$ (2)(3)	NRST 引脚的注入电流	±5	
	HSE 的 OSC_IN 引脚的注入电流	±5	
$\sum I_{INJ（PIN）}$ (6)	其他引脚的注入电流(5)	±25	

1. 在允许的范围内，所有主电源(V_{DD}、V_{DDA}) 和接地(V_{SS}、V_{SSA}) 引脚必须始终连接到外 部电源。
2. 此电流消耗必须正确分布至所有I/O 和控制引脚。总输出电流一定不能在参考高引脚数 LQFP 封装的两个连续电源引脚间灌/拉。
3. 反向注入电流会干扰器件的模拟性能。
4. 这些I/O 上无法正向注入，输入电压低于指定的最大值时也不会发生正向注入。
5. 当 $V_{IN} > V_{DDA}$ 时，会产生正向注入电流；当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流。不得 超出$I_{INJ(PIN)}$。
6. 当多个输入同时存在注入电流时，$\Sigma I_{INJ(PIN)}$ 的最大值等于正向注入电流和反向注入电流(瞬时值) 的绝对值之和。

4.3 工作条件

4.3.1 通用工作条件

表 15 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	-	72	96	MHz
f_{PCLK2}	内部 APB2 时钟频率	-	-	72	96	
f_{PCLK1}	内部 APB1 时钟频率	-	-	72	96	
V_{DD}	数字工作电压	-	2.0	3.3	5.5	V
V_{DDA}	模拟工作电压	必须与 VDD 相同(1)	2.5	3.3	5.5	
T_A	环境温度	-	-40	-	105	℃
T_J	结温范围(2)	-	-40	-	125	℃

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间，V_{DD} 和V_{DDA} 之间 最多允许有300 mV 的差别。
2. Tj=125℃为绝对最大额定值。

4.3.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 16 上电和掉电时的工作条件(1)(2)

符号	条件	最小值	典型值	最大值	单位
t_{VDD}	V_{DD} 上升时间 t_r	10	-	500000	us
	V_{DD} 下降时间 t_f	400	-	-	
V_{ft}(3)	掉电阈值电压	-	0	-	mV

1. 由综合评估得出，不在生产中测试
2. 芯片上与掉电 V_{DD} 波形需严格遵循以下波形图中 t_r 和 t_f 阶段，上电过程不得出现掉电现象
3. 注：芯片上电应从 0V 开始，确保芯片上电可靠性。

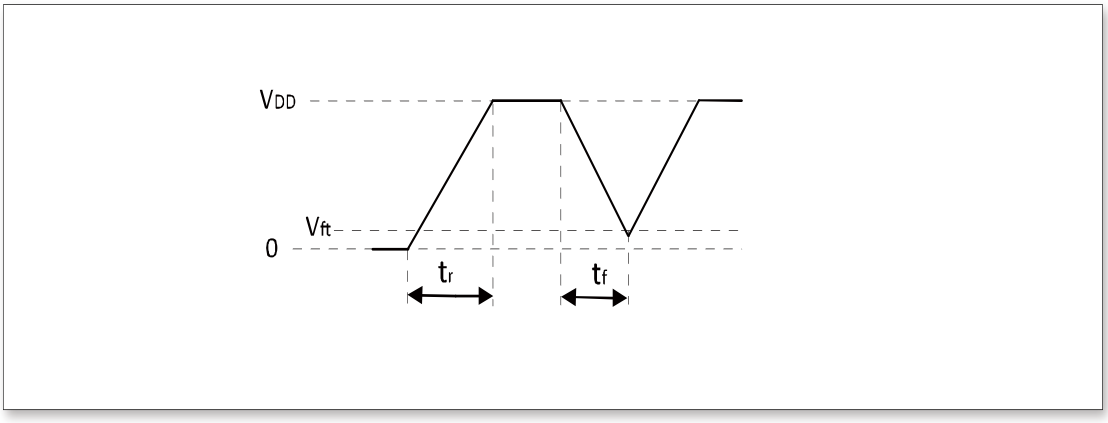

图 10 上电与掉电波形

4.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据通用工作条件表列出的环境温度下和 VDD 供电电压下测试得出。

表 17 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择	PLS[3:0]=0000 （上升沿）	-	1.7	-	V
		PLS[3:0]=0000 （下降沿）	-	1.6	-	
		PLS[3:0]=0001 （上升沿）	-	2.0	-	
		PLS[3:0]=0001 （下降沿）	-	1.9	-	
		PLS[3:0]=0010 （上升沿）	-	2.3	-	
		PLS[3:0]=0010 （下降沿）	-	2.2	-	
		PLS[3:0]=0011 （上升沿）	-	2.5	-	
		PLS[3:0]=0011 （下降沿）	-	2.4	-	
		PLS[3:0]=0100 （上升沿）	-	2.8	-	
		PLS[3:0]=0100 （下降沿）	-	2.7	-	
		PLS[3:0]=0101 （上升沿）	-	3.1	-	
		PLS[3:0]=0101 （下降沿）	-	3.0	-	
		PLS[3:0]=0110 （上升沿）	-	3.4	-	
		PLS[3:0]=0110 （下降沿）	-	3.3	-	
		PLS[3:0]=0111 （上升沿）	-	3.7	-	
		PLS[3:0]=0111 （下降沿）	-	3.6	-	
		PLS[3:0]=1000 （上升沿）	-	4.0	-	
		PLS[3:0]=1000 （下降沿）	-	3.9	-	
		PLS[3:0]=1001 （上升沿）	-	4.2	-	
		PLS[3:0]=1001 （下降沿）	-	4.1	-	
		PLS[3:0]=1010 （上升沿）	-	4.5	-	
		PLS[3:0]=1010 （下降沿）	-	4.4	-	
$V_{POR/PDR}$	上电复位阈值	-	-	1.65	-	V
V_{hyst_PDR}	PDR 迟滞	-	-	30	-	mV
$T_{RSTTEMPO}$(2)	复位持续时间	-	-	3	-	ms

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$。
2. 由设计保证，不在生产中测试。

注：复位持续时间的测量方法为从上电（POR 复位）到用户应用代码第一个 IO 翻转的时刻。

4.3.4 内置的参照电压

下表中给出的参数是依据通用工作条件表列出的环境温度下和 VDD 供电电压下测试得出。

表 18 内置的参照电压 (1)

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参考电压	-40˚C < T_A < 105˚C	-	1.2	-	V
$T_{s_vrefint}$(1)	当读出内部参考电压时，ADC 的采样时间	-	-	11.8	-	us

1. 最短的采样时间是通过应用中的多次循环得到。

4.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引 脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—VDD 或 VSS（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- Flash 存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24 MHz 时为 0 个等待周期，24 ~ 48MHz 时为1 个等待周期，48 ~ 72 MHz 时为2 个等待周期，72 ~ 96 MHz 时为3 个等待周期，24 ~ 48 MHz 时为1 个等待周期，48 ~ 72 MHz 时为2 个等待周期，72 ~ 96 MHz 时为3 个等待周期）。
- 指令预取功能开启。当开启外设时：$f_{HCLK} = f_{PCLK1} = f_{PCLK2}$。

注：指令预取功能必须在设置时钟和总线分频之前设置。

下表中给出的参数，是依据通用工作条件表列出的环境温度下和 VDD 供电电压下测试得出。

表 19 运行模式下的典型电流消耗

符号	参数	条件	f_{HCLK}(HZ)	典型值 使能所有外设				典型值 关闭所有外设				单位
				-40℃	25℃	85℃	105℃	-40℃	25℃	85℃	105℃	
I_{DD}	运行模式下的供应电流	内部时钟	96M	28.9	28.9	28.9	29.1	13.8	13.7	13.8	13.9	mA
			48M	16.3	16.3	16.4	16.5	7.9	7.9	8.0	8.1	
			24M	10.2	10.2	10.3	10.4	6.2	6.3	6.3	6.4	
			8M	2.9	2.9	3.0	3.1	2.0	2.1	2.2	2.3	
			4M	1.9	1.9	2.0	2.1	1.2	1.2	1.3	1.4	
			2M	1.10	1.12	1.18	1.28	0.74	0.77	0.82	0.93	
			1M	0.70	0.72	0.78	0.88	0.53	0.55	0.60	0.70	
			500K	0.51	0.53	0.58	0.68	0.42	0.44	0.50	0.59	
			125K	0.37	0.39	0.44	0.54	0.34	0.36	0.42	0.51	

表 20 睡眠模式下的典型电流消耗

电气特性

符号	参数	条件	f_{HCLK}(HZ)	典型值 使能所有外设				典型值 关闭所有外设				单位
				-40℃	25℃	85℃	105℃	-40℃	25℃	85℃	105℃	
I_{DD}	睡眠模式下的供应电流	内部时钟	96M	23.0	22.9	22.9	23.1	8.47	8.44	8.42	8.49	mA
			48M	11.9	11.9	11.9	12.0	4.63	4.62	4.63	4.70	
			24M	6.4	6.4	6.4	6.5	2.72	2.72	2.73	2.80	
			8M	2.0	2.0	2.1	2.2	0.77	0.79	0.84	0.94	
			4M	1.3	1.3	1.3	1.4	0.55	0.58	0.63	0.73	
			2M	0.78	0.80	0.86	0.96	0.43	0.46	0.51	0.61	
			1M	0.54	0.57	0.62	0.72	0.37	0.40	0.45	0.55	
			500K	0.43	0.45	0.50	0.60	0.37	0.37	0.42	0.51	
			125K	0.35	0.37	0.42	0.52	0.32	0.34	0.40	0.49	

1. HCLK 频率小于 8MHz 时，系统时钟为 HSI 8M，由分频得到 AHB 时钟

表 21 停机和待机模式下的典型和最大电流消耗 (1)

符号	参数	条件	典型值				单位
			-40℃	25℃	85℃	105℃	
I_{DDx}	停机模式下的供应电流	复位后进入停机模式，VDD=3.3V	19.8	26.4	49.8	127.2	μA
	深度停机下的供电电流	复位后进入深度停机模式，VDD=3.3V	0.9	2.4	19.2	84.5	
	待机模式下的供应电流	IWDG 打开	0.4	0.6	2.4	10.7	
		IWDG 关闭	0.2	0.3	2.0	10.1	

1. I/O 状态为模拟输入。

内置外设电流消耗

内置外设的电流消耗列于表 22 内置外设的电流消耗 (1)，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或V_{SS}（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
  - 关闭所有外设的时钟
  - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表 12。

表 22 内置外设的电流消耗 (1)

符号	参数	总线	典型值	单位
I_{DD}	GPIOD	AHB	1.09	uA/MHz
	GPIOB		1.13	
	GPIOC		1.26	
	GPIOA		1.48	
	CRC		1.52	
	HSQRT		1.61	
	DIV		2.50	
	DMA		2.95	
	DBGMCU	APB2	0.07	
	SYSCFG		0.66	
	COMP		1.38	
	PWM		1.86	
	EXTI		2.53	
	TIM14		3.32	
	TIM16		3.67	
	TIM17		3.69	
	UART1		7.91	
	SPI1		9.11	
	ADC2		10.78	
	ADC1		11.05	

电气特性

符号	参数	总线	典型值	单位
	TIM1		11.70	uA/MHz
	TIM8		12.83	
	WWDG	APB1	0.39	
	DAC		1.26	
	IWDG		1.27	
	PWR		1.30	
	BKP		1.69	
	TIM3		6.85	
	CSM		7.20	
	UART2		8.08	
	UART3		8.20	
	TIM2		8.36	
	SPI2		8.84	
	I2C1		10.81	

1. f_{HCLK} = 96MHz，f_{APB1} = f_{HCLK}/2，f_{APB2} = f_{HCLK}，每个外设的预分频系数为默认值。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟所有的时间是使用环境温度和供电电压符合通用工作条件测量得到。

表 23 低功耗模式的唤醒时间

符号	参数	条件	典型值	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	系统时钟为 HSI	2.8	μS
t_{WUSTOP}	从停机模式唤醒（调压器处于运行模式）	系统时钟为 HSI	10.4	μS
t_{WUSTOP}	从深度停机模式唤醒（调压器处于低功耗模式）	系统时钟为 HSI	11.1	μS
$t_{WUSTDBY}$	从待机模式唤醒	PWR->CR[15:14] = 0x1	370	μS
$t_{WUSTDBY}$	从待机模式唤醒	PWR->CR[15:14] = 0x2	398	μS
$t_{WUSTDBY}$	从待机模式唤醒	PWR->CR[15:14] = 0x3	422	μS

4.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 24 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率(1)	-	-	8	32	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压	-	0.7VDD	-	VDD	V
V_{HSEL}	OSC_IN 输入引脚低电平电压	-	VSS	-	0.3VDD	V
$t_{w(HSE)}$	OSC_IN 高或低的时间(1)	-	15	-	-	ns

1. 由设计保证，不在生产中测试。

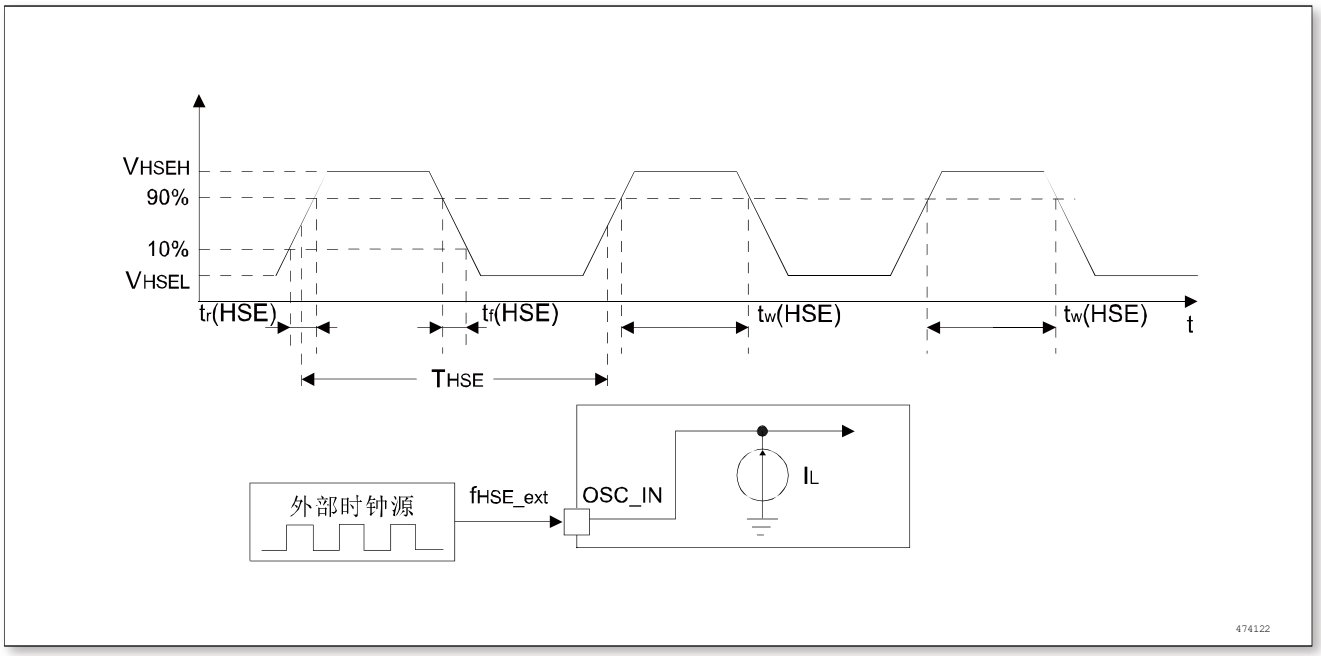

图 11 外部高速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟 (HSE) 可以使用一个 4 ~ 24MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启 动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表 25 HSE 4 ~ 24MHz 振荡器特性 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率(2)	2V<VDD<3.6V	4	8	12	MHz
		3.0V<VDD<5.5V	8	16	24	MHz
R_F	反馈电阻(4)	-	-	510	-	kΩ
ESR	支持晶体串行阻抗（C_{L1} C_{L2}(3)为 16pF）	f_{OSC_IN} =24M VDD=3V	-	-	50	Ω
		f_{OSC_IN} =12M VDD=2V	-	-	120	Ω
I_2	HSE 驱动电流	f_{OSC_IN} =24M ESR=30 V_{DD} = 3.3V，C_{L1} C_{L2}(3)为 20pF	-	1.5	-	mA
g_m	振荡器的跨导	启动	-	9	-	mA/V
$t_{SU(HSE)}$ (5)	启动时间	V_{DD} 是稳定的	-	3	-	mS

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出。
3. 对于 CL1 和 CL2，建议使用高质量的、为高频应用而设计的 (典型值为)5pF ~ 25pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。在选择 CL1 和 CL2 时，PCB 和 MCU 引脚的容抗应该考虑在内（可以粗略地把引脚与 PCB 板的电容按 10pF 估计）。
4. 相对较低的 R_F 电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果 MCU 是应用在恶劣的潮 湿条件时，设计时需要把这个参数考虑进去。
5. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

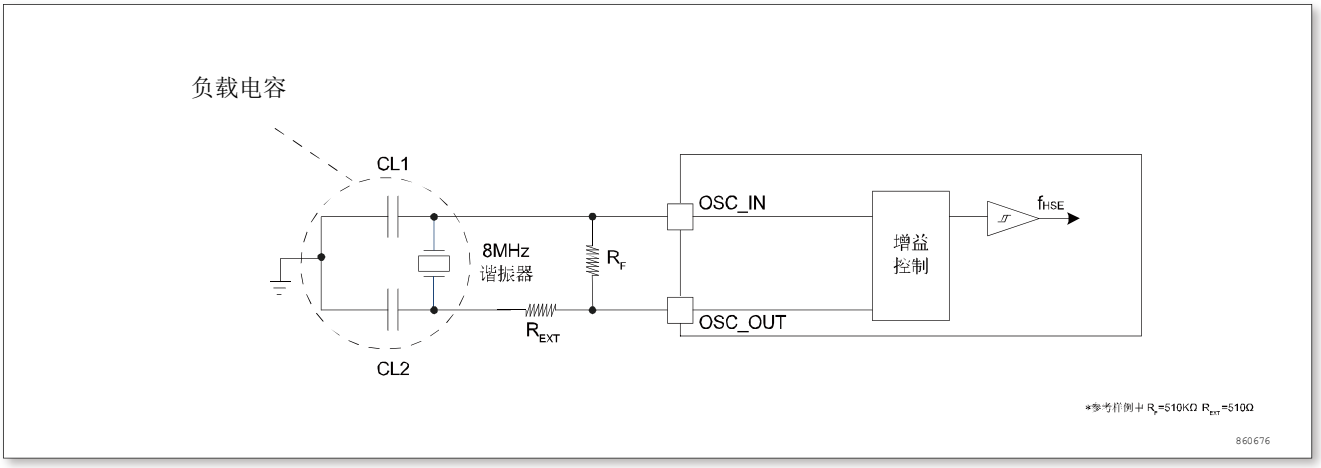

图 12 使用 8MHz 晶体的典型应用

4.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部 (HSI) 振荡器

表 26 HSI 振荡器特性 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	-	-	8	-	MHz
ACC_{HSI}	HSI 振荡器的精度	T_A = -40℃~ 105℃	-2.5	-	+2.5	%
		T_A = 25°C	-1	-	+1	%
$t_{SU(HSI)}$	HSI 振荡器启动时间	-	-	-	5	μS
$T_{stab(HSI)}$	HSI 振荡器稳定时间	-	-	-	10	μS
$I_{DD(HSI)}$	HSI 振荡器功耗	-	-	75	-	μA

1. V_{DD} = 3.3V，TA = - 40◦C~ 85◦C，除非特别说明。
2. 由设计保证，不在生产中测试。

低速内部(LSI) 振荡器

表 27 LSI 振荡器特性 (1)

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}(2)	频率	-	-	40	-	KHz
$t_{SU(LSI)}$(3)	LSI 振荡器启动时间	-	-	-	100	μS
$t_{stab(LSI)}$（3）	LSI 振荡器稳定时间	-	-	-	100	μS
$I_{DD(LSI)}$(3)	LSI 振荡器功耗	-	-	0.200	-	μA

1. V_{DD} = 3.3V，T_A = - 40◦C~ 85◦C，除非特别说明。
2. 由综合评估得出。
3. 由设计保证，不在生产中测试。

4.3.8 PLL 特性

PLL 的输入时钟 f_{PLL_IN} 和 f_{PLL_OUT} 之间关系为

$$\frac{f_{PLL_IN}}{\mathrm{PLLDIV}[2:0]+1}=\frac{f_{PLL_OUT}}{\mathrm{PLLMUL}[6:0]+1}$$

公式 1

PLLMUL[6: 0]和 PLLDIV[2: 0] 是 PLL 的倍频分频器和输出分频器的分频比设置。

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

电气特性

表 28 PLL 特性 (1)

符号	参数	条件	最小值	典型值	最大值	单位
f_{PLL_IN}	PLL 输入时钟(2)	-	4	8	24	MHz
D_{PLL_IN}	PLL 输入时钟占空比	-	20	-	80	%
fvco	PLL 输出时钟频率范围	-	80		200	MHz
f_{PLL_OUT}	PLL 倍频输出时钟	-	40		100	MHz
$I_{DD(PLL)}$	PLL 电流消耗	f_{PLL_OUT} 为 100MHz	-	1550	-	uA

1. 由设计保证，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范 围内。

4.3.9 存储器特性

表 29 Flash 存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16 位的编程时间	-	-	30	-	μS
t_{ERASE}	页（1024 字节）擦除时间	-	-	4.5	-	mS
t_{ME}	整片擦除时间	-	-	30	-	mS
I_{DD}	平均电流消耗	读模式 40MHz	-	-	6	mA
	-	写模式	-	-	7	mA
	-	擦除模式	-	-	2	mA

表 30 Flash 存储器寿命和数据保存期限 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	擦写次数		20000	-	-	次
T_{DR}	数据保存	T_A = 125℃	-	-	-	Years
		T_A = 25℃	100	-	-	

4.3.10 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS（电磁敏感性）

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 1 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- EFT：在 V_{DD} 和 V_{SS} 上通过一个 100 pF 的电容施加一个瞬变电压的脉冲群（正向和反 向）直到产生功能性错误。这个测试符合IEC61000-4-4 标准。

芯片复位可以使系统恢复正常操作。测试结果列于下表中。

表 31 EMS 特性

符号	参数	条件	级别/类型
V_{FESD}	施加到任一 I/O 脚，从而导致功能错误的电压极限	V_{DD} = 3.3V，T_A = +25℃，f_{HCLK} = 96MHz。符合 IEC61000-4-2	2A
V_{FEFT}	在 V_{DD} 和 V_{SS} 上通过 100pF 的电容施加的导致功能错误的瞬变脉冲群电压极限。	V_{DD} = 3.3V，T_A = +25℃，f_{HCLK} = 96MHz。符合 IEC61000-4-4	2A

设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。因此，建议用户对软件实行

EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工的在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

4.3.11 功能性 EMS（电气敏感性）

基于三个不同的测试 (ESD, LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电 (ESD)

静电放电（一个正的脉冲然后间隔一秒钟后一个负的脉冲）施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关 （3 片 x (n + 1) 供电引脚）。这个测试符合 JEDEC JS-001-2017/002-2018 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。这个测试符合EIA/JESD78E 集成电路栓锁标准。

表 32 ESD 特性

符号	参数	条件	最大值	单位
VESD(HBM)	静电放电电压 (人体模型)	TA = 25◦C，符合 ESDA/JEDEC JS-001-2017	6000	V
VESD(CDM)	静电放电电压 (充电设备模型)	TA = 25◦C，符合 ESDA/JEDEC JS-002-2018	2000	V
ILU	静态栓锁类 (Latch-up current)	TA = 25◦C，符合 JESD78E	100	mA

4.3.12 GPIO 端口通用输入/输出特性

除非特别说明，下表列出的参数是按照表 10 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 33 I/O 静态特性

SPEED	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	3.3V CMOS端口	-	-	1.47	V
V_{IL}	输入低电平电压	5V CMOS端口	-	-	2.26	V

电气特性

SPEED	参数	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平电压	3.3V CMOS端口	1.74	-	-	V
V_{IH}	输入高电平电压	5V CMOS端口	2.61	-	-	V
V_{hy}	I/O脚施密特触发器电压迟滞 (1)	3.3V	0.52	0.59	0.66	V
V_{hy}	I/O脚施密特触发器电压迟滞 (1)	5V	0.72	0.78	0.83	V
I_{lkg}	输入漏电流(2)	3.3V	-	1	-	μA
I_{lkg}	输入漏电流(2)	5V	-	1	-	μA
R_{PU}	弱上拉等效电阻(3)	3.3V $V_{IN} = V_{SS}$	-	50	-	kΩ
R_{PU}	弱上拉等效电阻(3)	5V $V_{IN} = V_{SS}$	-	50	-	kΩ
R_{PD}	弱下拉等效电阻(3)	3.3V $V_{IN} = V_{DD}$	-	50	-	kΩ
R_{PD}	弱下拉等效电阻(3)	5V $V_{IN} = V_{SS}$	-	50	-	kΩ
C_{IO}	I/O引脚的电容	-	-	-	1	pF

1. 由综合评估得出，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是 poly 电阻。
4. 上述输入电平的值对应 CS=0 的条件。

输出驱动电流

GPIO（通用输入/输出端口）可以吸收或输出多达 ±20mA 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值：

- 所有I/O 端口从V_{DD} 上获取的电流总和，加上MCU 在V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值I_{VDD}。
- 所有I/O 端口吸收并从V_{SS} 上流出的电流总和，加上MCU 在V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值I_{VSS}。

输出电压

除非特别说明，下表列出的参数是使用环境温度和 VDD 供电电压符合表 12 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。

表 34 输出电压特性

SPEED	符号	参数	条件	典型值	单位
11 (50MHz)	V_{OL}(1)	输出低电平	$\|I_{IO}\|$= 6mA，VDD=3.3V	0.091	V
	V_{OH}(2)	输出高电平		3.172	
	V_{OL}(1)(3)	输出低电平	$\|I_{IO}\|$= 8mA，VDD=3.3V	0.124	
	V_{OH}(2)(3)	输出高电平		3.127	
	V_{OL}(2)(3)	输出低电平	$\|I_{IO}\|$=20mA，VDD=3.3V	0.341	
	V_{OH}(2)(3)	输出高电平		2.83	
10 (2MHz)	V_{OL}(1)	输出低电平	$\|I_{IO}\|$= 6mA，VDD=3.3V	0.191	
	V_{OH}(2)	输出高电平		3.034	
	V_{OL}(1)(3)	输出低电平	$\|I_{IO}\|$= 8mA，VDD=3.3V	0.264	
	V_{OH}(2)(3)	输出高电平		2.935	
	V_{OL}(2)(3)	输出低电平	$\|I_{IO}\|$=20mA，VDD=3.3V	0.862	
	V_{OH}(2)(3)	输出高电平		2.144	
01 (10MHz)	V_{OL}(1)	输出低电平	$\|I_{IO}\|$= 6mA，VDD=3.3V	0.191	
	V_{OH}(2)	输出高电平		3.034	
	V_{OL}(1)(3)	输出低电平	$\|I_{IO}\|$= 8mA，VDD=3.3V	0.264	
	V_{OH}(2)(3)	输出高电平		2.935	
	V_{OL}(2)(3)	输出低电平	$\|I_{IO}\|$=20mA，VDD=3.3V	0.862	
	V_{OH}(2)(3)	输出高电平		2.144	

1. 芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VSS}。

2. 芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VDD}。
3. 由综合评估得出。

输入输出交流特性

输入输出交流特性的定义和数值分别在图 17 和表 43 给出。

除非特别说明，下表列出的参数是使用环境温度和供电电压符合通用工作条件表的条件测量得到。

表 35 输入输出交流特性 (1)(3)

SPEED[1:0]的配置	符号	参数	条件	典型值	单位
11	$t_{f(IO)out}$	输出高至低电平的下降时间	C_L = 50pF VDD=3.3V	3.49	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间		3.59	ns
10	$t_{f(IO)out}$	输出高至低电平的下降时间		6.35	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间		6.95	ns
01	$t_{f(IO)out}$	输出高至低电平的下降时间		4.25	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间		3.87	ns

1. I/O 端口的速度可以通过 MODEx[1：0] 配置。参见本芯片参考手册中有关 GPIO 端口配置寄存器的说明。
2. 最大频率在图 17 中定义。
3. 由设计保证，不在生产中测试。

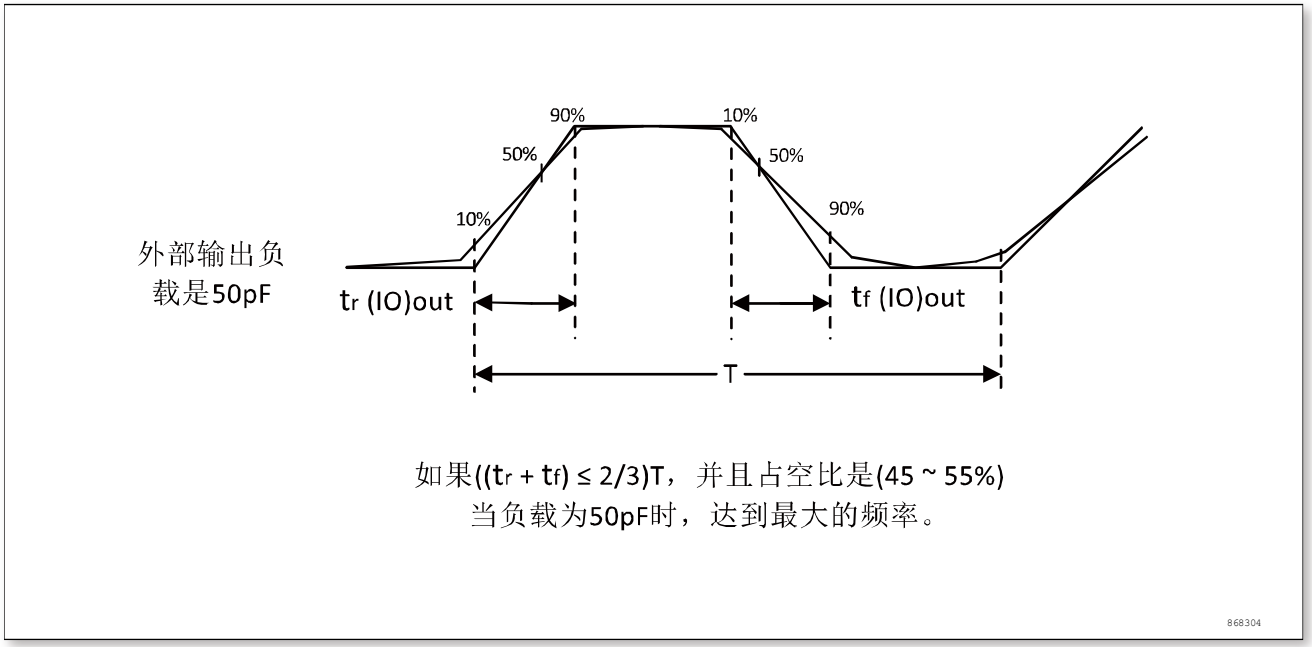

图 13 输入输出交流特性定义

4.3.13 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻，RPU。

除非特别说明，下表列出的参数是使用环境温度和 VDD 供电电压符合表 12 的条件测量得 到。

表 36 NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$ (1)	NRST 输入低电平电压	VDD=3.3V	-	-	1.47	V
$V_{IH(NRST)}$ (1)	NRST 输入高电平电压	VDD=3.3V	1.74	-	-	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	VDD=3.3V	0.52	0.59	0.66	V

电气特性

符号	参数	条件	最小值	典型值	最大值	单位
R_{PU}	弱上拉等效电阻(2)	$V_{IN} = V_{SS}$	-	50		kΩ
$V_{F(NRST)}$ (1)	NRST 输入滤波脉冲	-	-	-	1.0	uS
$V_{NF(NRST)}$ (1)	NRST 输入非滤波脉冲	-	4.0	-	-	uS

1. 由设计保证，不在生产中测试。
2. 上拉和下拉电阻是 MOS 电阻。

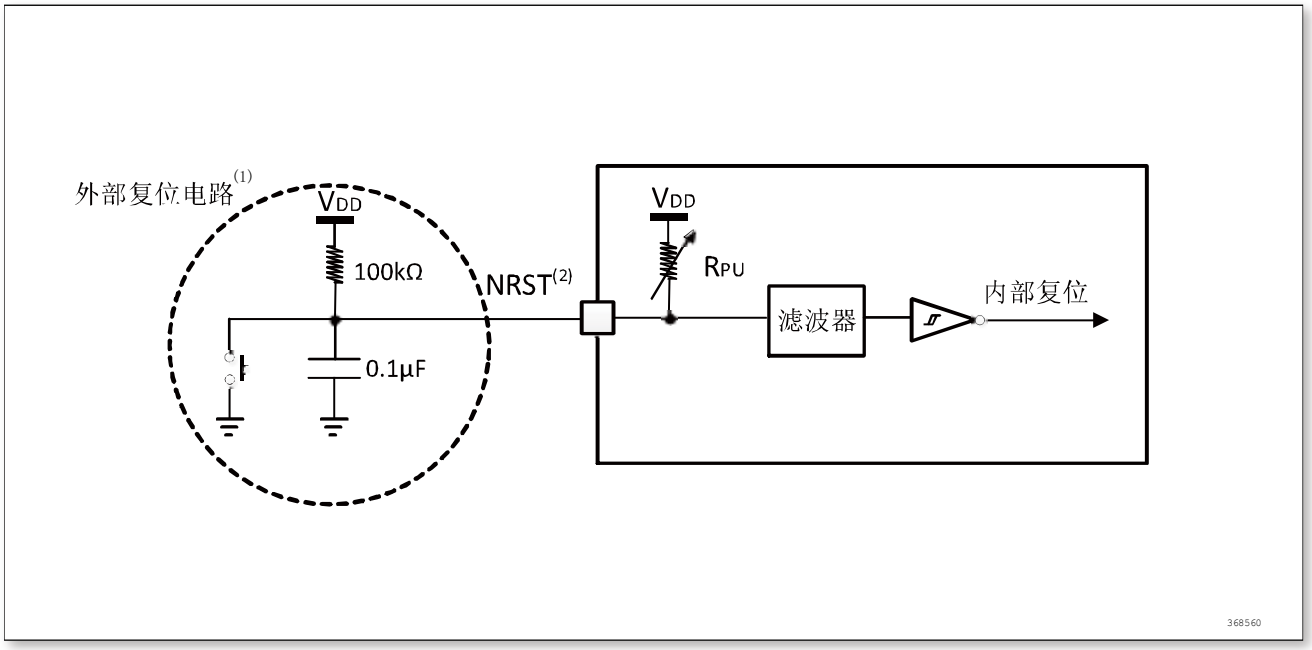

图 14 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 44 中列出的最大 VIL(NRST) 以下，否则 MCU 不能得到复位。

4.3.14 TIM 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见小节 4.3.12。

表 37 TIMx(1) 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨率时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 96MHz	10.4	-	nS
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	-	MHz
		$f_{TIMxCLK}$ = 96MHz	0	48	
Res_{TIM}	定时器分辨率	-	-	16	位
$t_{COUNTER}$	16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 96MHz	0.0104	682.6	μS
t_{MAX_COUNT}	最大可能的计数（TIM_PSC 可调）	-	-	65536*65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 96MHz	-	44.7	S
t_{MAX_IN}	TIM 最高输入频率	f_{PLL_OUT} = 192MHz f_{HCLK} = 96MHz $f_{TIMxCLK}$ = 192MHz	-	192MHz	MHz

4.3.15 通信接口

I2C 接口特性

除非特别说明，表 46 列出的参数是使用环境温度，f_{PCLK1} 频率和 VDD 供电电压符合表 12 的条件测量得到。

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真开漏”的引脚，当配置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。

I2C 接口特性列于表 47，有关输入输出复用功能引脚（SDA 和 SCL）的特性详情，参见小节 4.3.12。

表 38 I2C 接口特性

符号	参数	标准 I2C(1)		快速 I2C(1)		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL 时钟低时间	$8*t_{PCLK}$	-	$8*t_{PCLK}$	-	μs
$t_{w(SCLH)}$	SCL 时钟高时间	$6*t_{PCLK}$	-	$6*t_{PCLK}$	-	μs
$t_{su(SDA)}$	SDA 建立时间	$2*t_{PCLK}$	-	$2*t_{PCLK}$	-	ns
$t_{h(SDA)}$	SDA 数据保持时间	0(3)	-	0(4)	875(3)	ns
$t_{r(SDA)}$ $t_{r(SCL)}$	SDA 和 SCL 上升时间	-	1000	-	300	ns
$t_{f(SDA)}$ $t_{f(SCL)}$	SDA 和 SCL 下降时间	-	300	-	300	ns
$t_{h(STA)}$	开始条件保持时间	$8*t_{PCLK}$	-	$8*t_{PCLK}$	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	$6*t_{PCLK}$	-	$6*t_{PCLK}$	-	μs
$t_{su(STO)}$	停止条件建立时间	$6*t_{PCLK}$	-	$6*t_{PCLK}$	-	μs
$t_{w(STO:STA)}$	停止条件至开始条件的时间（总线空闲）	$5*t_{PCLK}$	-	$5*t_{PCLK}$	-	μs
C_b	每条总线的容性负载	4.7	-	1.2	-	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率，f_{PCLK1} 必须大于 3MHz。为达到快速模式 I2C 的最大 频率，f_{PCLK1} 必须大于 12MHz。
3. 如果不要求拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。
4. 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号上至少 300nS 的保持时间。

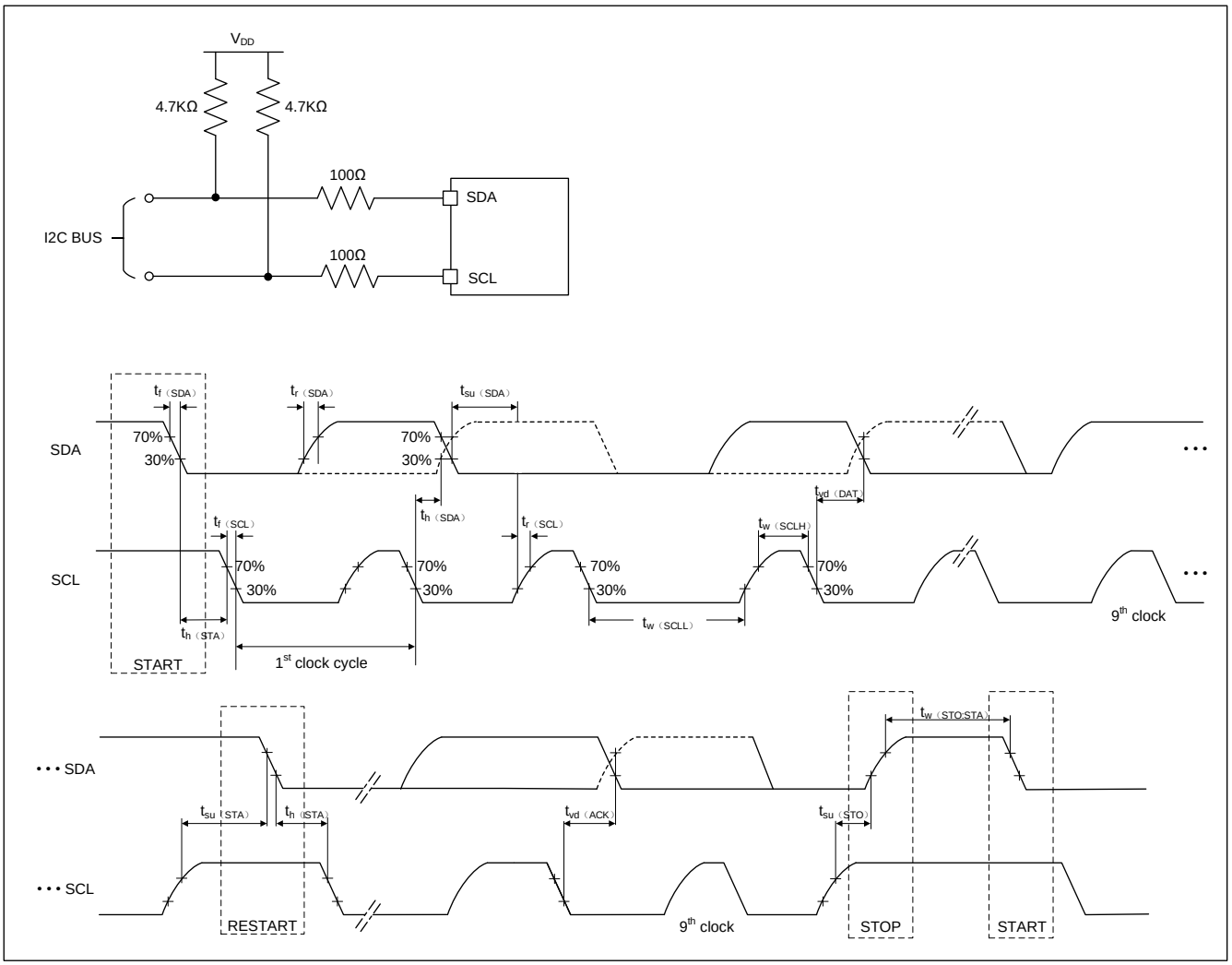

图 15 I2C 总线交流波形和测量电路 (1)

1. 测量点设置于 CMOS 电平：$0.3V_{DD}$ 和$0.7V_{DD}$。

SPI 接口特性

除非特别说明，表 48 列出的参数是使用环境温度，f_{PCLKx} 频率和 VDD 供电电压符合表 12 的条件测量得到。

有关输入输出复用功能引脚（NSS、SCK、MOSI、MISO）的特性详情，参见小节 4.3.12。

表 39 SPI 特性 (1)

符号	参数	条件	最小值	最大值	单位
$f_{SCK}1/t_{c(SCK)}$	SPI 时钟频率	主模式	-	24	MHz
		从模式	-	12	
$t_{r(SCK)}$	SPI 时钟上升时间	负载电容：C = 15pF	-	6	ns
$t_{f(SCK)}$	SPI 时钟下降时间	负载电容：C = 15pF	-	6	nS
$t_{su(NSS)}$(1)	NSS 建立时间	从模式	$1t_{PCLK}$	-	nS
$t_{h(NSS)}$(1)	NSS 保持时间	从模式	$2t_{PCLK}$	-	nS
$t_{w(SCKH)}$(1)	SCK 电平为高的时间	-	$t_{c(SCK)/2}$- 6	-	nS
$t_{w(SCKL)}$(1)	SCK 电平为低的时间	-	$t_{c(SCK)/2}$- 6	-	nS
$t_{su(MI)}$(1)	数据输入建立时间	主模式，f_{PCLK} = 48MHz，预分频系数= 2，高速模式	10	-	nS
$t_{su(SI)}$(1)		从模式	5	-	nS

电气特性

符号	参数	条件	最小值	最大值	单位
$t_{h(MI)}$(1)	数据输入保持时间	主模式，f_{PCLK} = 48MHz，预分频系数= 2，高速模式	0	-	nS
$t_{h(SI)}$(1)		从模式	5	-	nS
$t_{v(MO)}$(1)	数据输出有效时间	主模式（使能边沿之后）	-	16	nS
$t_{v(SO)}$(1)	数据输出有效时间	从模式（使能边沿之后）	-	18.8	nS
$t_{h(MO)}$(1)	数据输出保持时间	主模式（使能边沿之后）			nS

1. 由综合评估得出。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

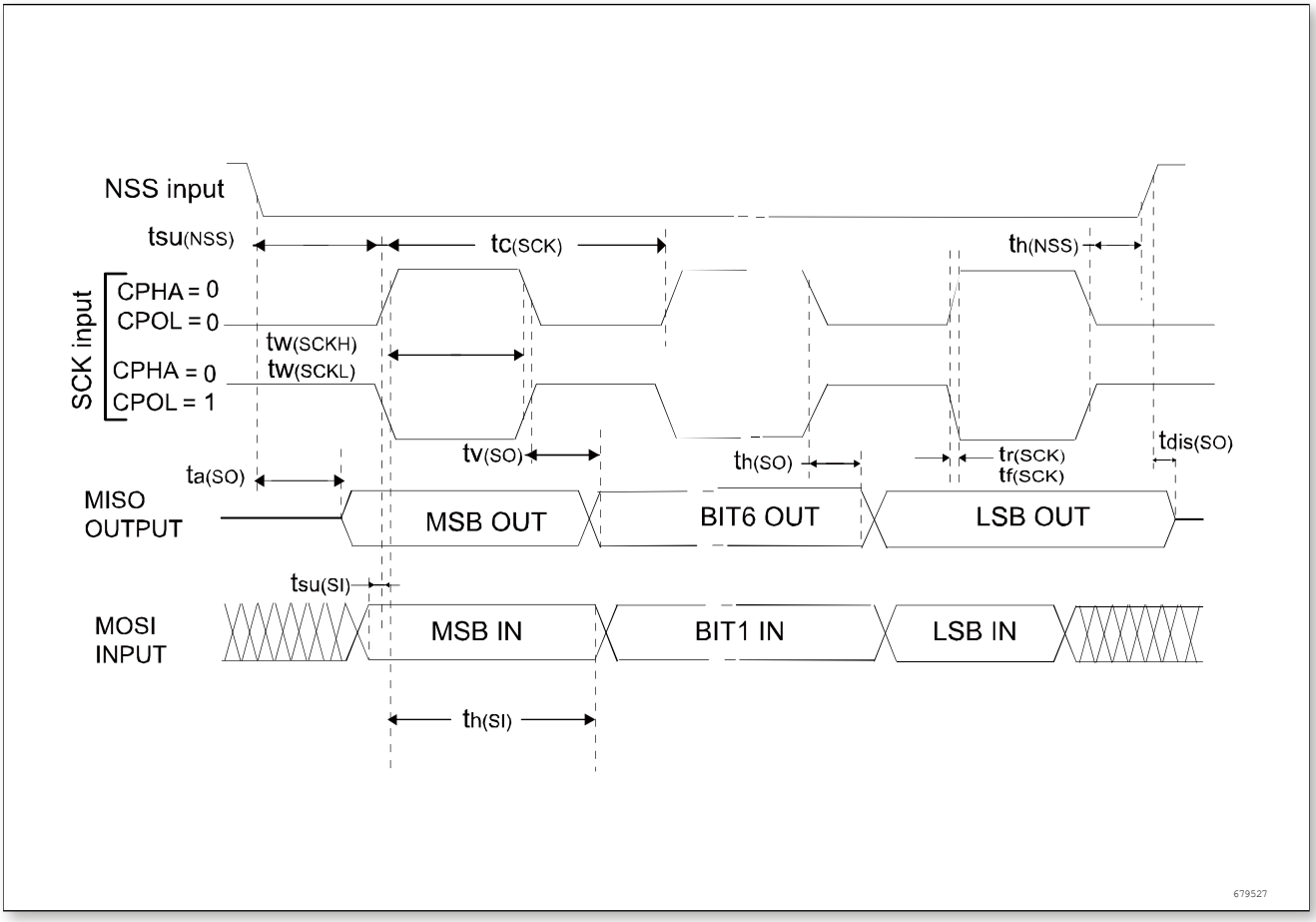

图 16 SPI 时序图-从模式和 CPHA = 0，CPHASEL = 1

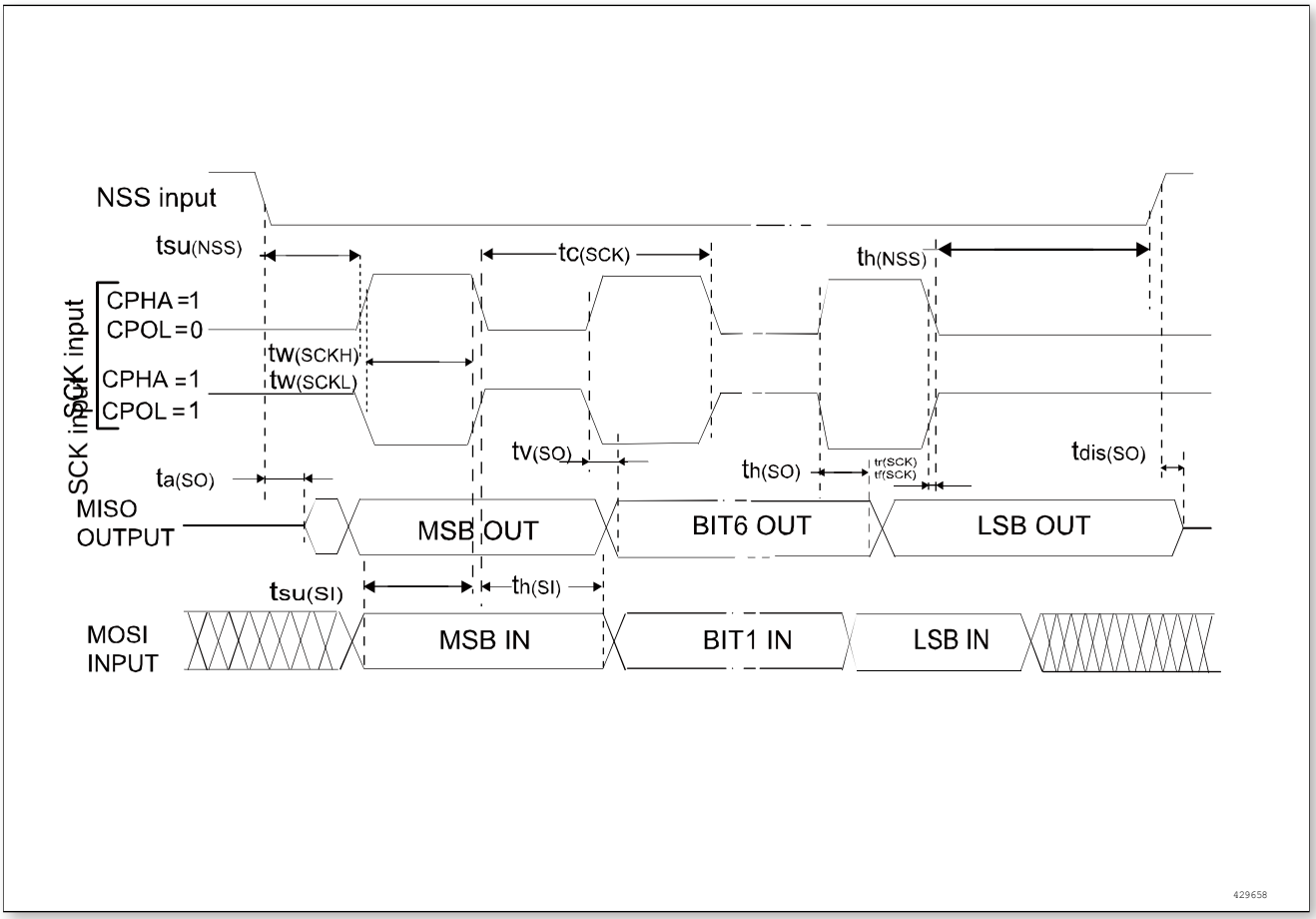

图 17 SPI 时序图-从模式和 CPHA = 1，CPHASEL = 1 (1)

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和0.7V_{DD}。

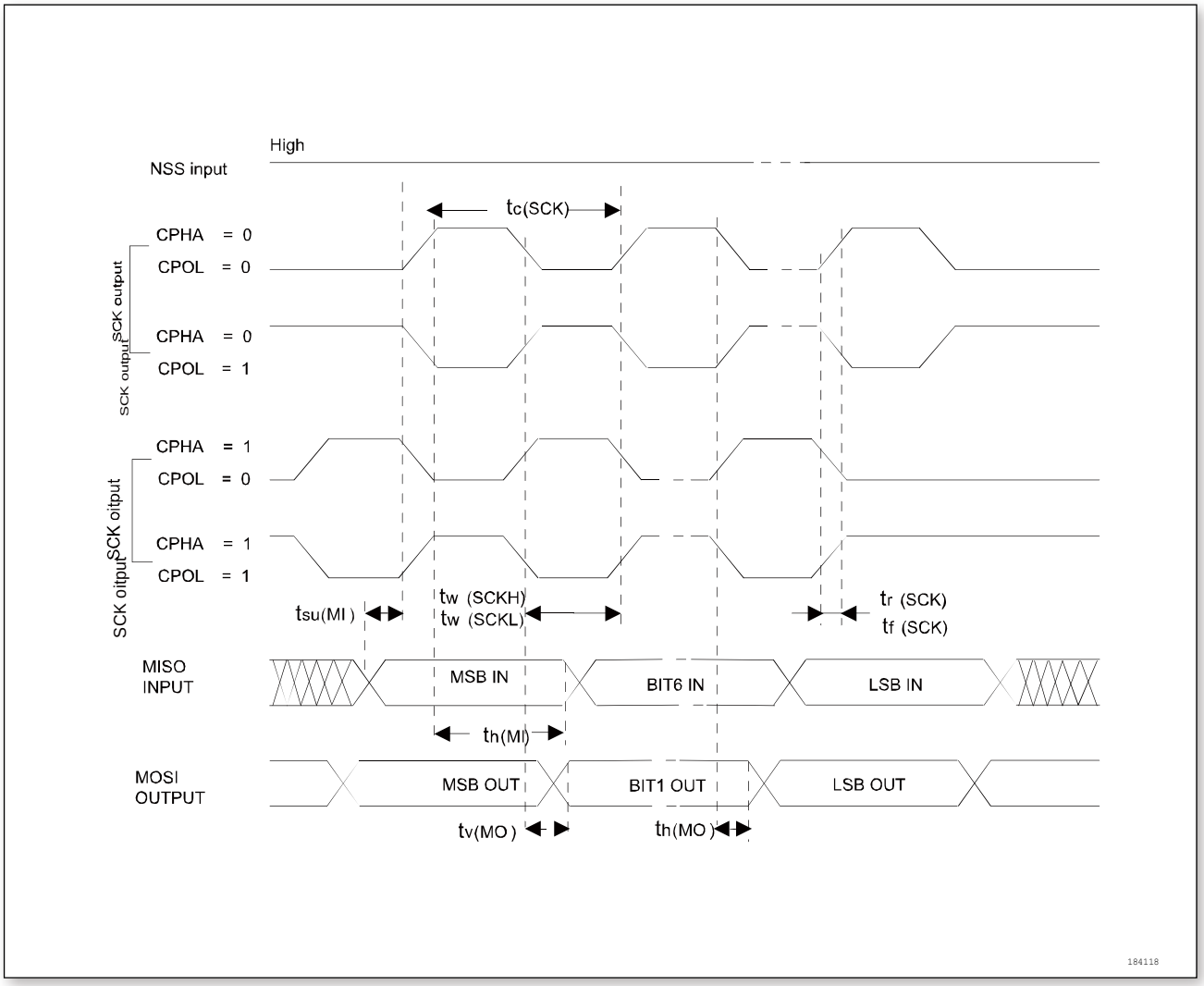

图 18 SPI 时序图-主模式 (1)

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和0.7V_{DD}。

4.3.16 ADC 特性

除非特别说明，下表的参数是使用符合通用工作条件表中的环境温度、f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

表 40 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	2.5	3.3	5.5	V
f_{ADC}	ADC 时钟频率	V_{DDA}≥2.5V	-	-	48	MHz
f_S(1)	采样速率	12bits; V_{DDA}≥2.5V	-	-	3	MHz
f_{TRIG}(1)	外部触发频率(3)	12bits; f_{ADC}=48MHz	-	-	-	kHz
		12bits	-	-	-	1/f_{ADC}
V_{AIN}(2)	转换电压范围	V_{DDA}≥2.5V	0	-	V_{DDA}	V
R_{AIN}(1)	外部输入阻抗	-	见公式 2			kΩ
R_{ADC}(1)	采样开关电阻	-	-	-	1.2	kΩ
C_{ADC}(1)	内部采样和保持电容	-	-	3	4	pF
t_{STAB}(1)	上电时间	-	-	32/f_{ADC}	-	μS
t_{CAL}(1)	校准时间	-	-	32*12*16	-	1/f_{ADC}
t_{lat}(1)	注入触发转换时延	-	-	-	512	1/f_{ADC}

电气特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{latr}(1)	常规触发转换时延			-	512	$1/f_{ADC}$
t_S(1)	采样时间	f_{ADC}=48MHz	0.0729	-	5.0104	μS
		-	3.5		240.5	$1/f_{ADC}$
t_{CONV}(1)	总的转换时间（包括采样时间）	12bits; f_{ADC}=48MHz	0.3333		5.2708	μS
		12bits	t_{SAMP} + 12.5 = 16 to 253			$1/f_{ADC}$

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 在该系列产品中，V_{REF+} 在内部连接到 V_{DDA}，V_{REF-} 在内部连接到 V_{SSA}。
4. 由设计保证，不在生产中测试。
5. 对于外部触发，必须在时延中加上一个延迟 1/ f_{ADC}。

输入阻抗列表

$$R_{AIN} < \frac{TS}{f_{ADC} \times C_{ADC} \times \ln(2^{n+2})} - R_{ADC}$$

公式 2 上述公式 （公式 1）用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N = 12 （表示 12 位分辨率），是在 f_{ADC} = 48MHz 时测量所得。

表 41 f_{ADC}=15MHz(1) 时的最大 R_{AIN}

T_S（周期）	t_S（μS）	最大 R_{AIN}（kΩ）
3.5	0.073	0.7
4.5	0.094	1.2
5.5	0.115	1.8
6.5	0.135	2.3
7.5	0.156	2.8
11.5	0.240	5.0
13.5	0.281	6.0
15.5	0.323	7.1
19.5	0.406	9.3
29.5	0.615	14.6
39.5	0.823	20.0
59.5	1.240	30.7
79.5	1.656	41.5
119.5	2.490	62.9
159.5	3.323	84.4
240.5	5.010	127.9

1. 由设计保证，不在生产中测试。

表 42 ADC 静态参数 (1)(2)

符号	参数	条件	典型值	单位
ET	综合误差	f_{PCLK2} = 96MHz，f_{ADC} = 48MHz，R_{AIN} < 0.1 kΩ，V_{DDA} = 3.3V，T_A = 25°C	-8.4/+3.3	LSB
EO	偏移误差		-1.2/+4.4	
EG	增益误差		-0.5/+5.5	
ED	微分线性误差		-1/+3	
EL	积分线性误差		-4.2/+4.7	

1. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电 流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产 生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。 如果正向的注入电流，只要处于小节 4.2 中给出的 I_{INJ}(PIN) 和 Σ_{IINJ}(PIN) 范围之内，就不会影响 ADC 精度。
2. 由综合评估保证，不在生产中测试。
3. ET = 总未调整误差：实际和理想传输曲线间的最大偏离。

4. EO = 偏移误差：第一次实际转换和第一次理想转换间的偏离。
5. EG = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。
6. ED = 微分线性误差：实际步进和理想值间的最大偏离。
7. EL = 积分线性误差：任何实际转换和端点相关线间的最大偏离。

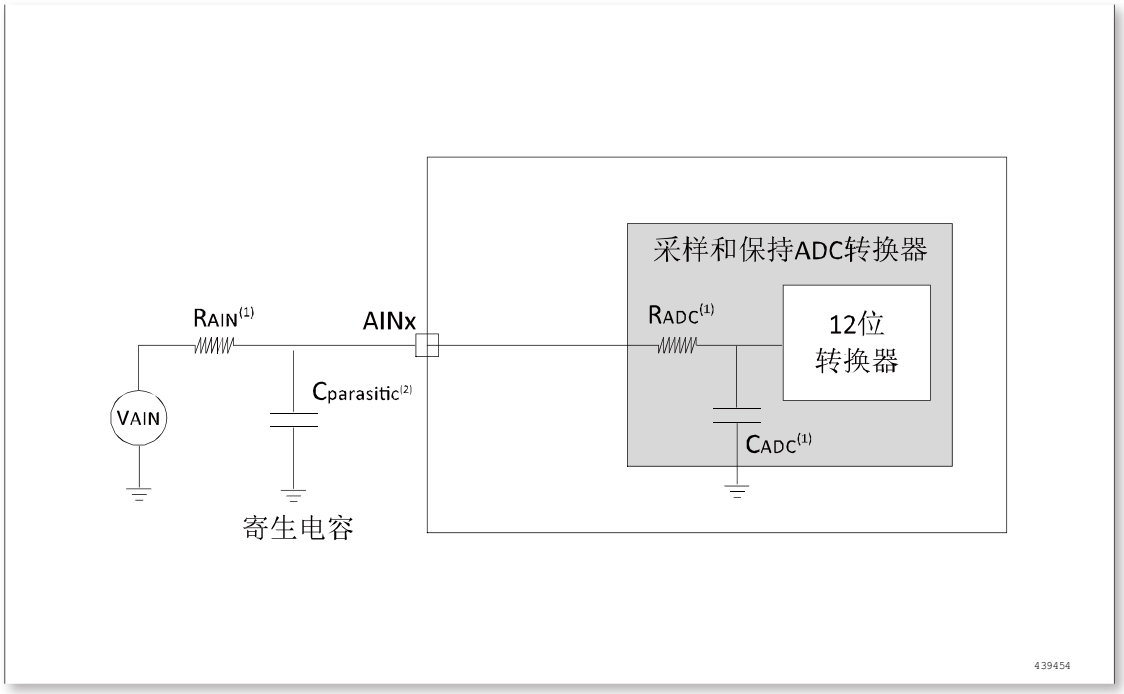

图 19 使用 ADC 典型的连接图

1. 有关 RAIN、RADC 和 CADC 的数值，参见表 42。
2. Cparasitic 表示 PCB(与焊接和 PCB 布局质量相关) 与焊盘上的寄生电容 (大约 7pF)。较大的 Cparasitic 数值将降低转换的精度，解决的办法是减小 f_{ADC}。

PCB 设计建议

电源的去耦必须按照下图连接。图中的 10 nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

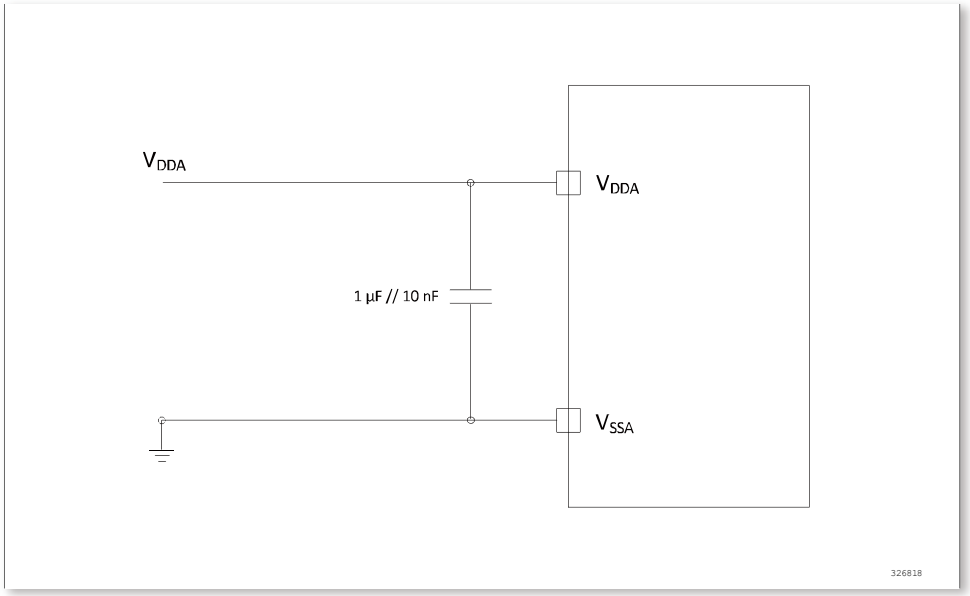

图 20 供电电源和参考电源去耦线路

4.3.17 温度传感器特性

表 43 温度传感器特性 (3)(4)

符号	参数	最小值	典型值	最大值	单位
T_L(1)	V_{SENSE} 相对于温度的线性度	-10	-	+10	◦C
Avg_Slope(1)	平均斜率	-	4.955	-	mV/◦C
V_{25}(1)	在 25℃时的电压	-	1.465	-	V
t_{START}(2)	建立时间	-	-	10	μS
t_{S_temp}(2)	当读取温度时，ADC 采样时间	-	-	-	μS

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。
4. V_{DD} = 3.3V。
5. 温度公式：TS_adc=25+(value*vdda-offset*3300)/(4096*Avg_slope)，offset 记录于 0x1FFFF7F6 低 12 位中。

4.3.18 DAC 特性

表 44 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	2.5	3.3	5.5	V
V_{REF+}	参考电压	-	2.5	3.3	5.5	V
R_O	输出阻抗	buff on, output connected to V_{SSA}	-	97	-	Ω
		buff on, output connected to V_{DDA}	-	85	-	
DAC_OUT_{min}	输出最低电压	-	V_{SSA}+0.1	-	-	V
DAC_OUT_{max}	输出最高电压	-	-	-	V_{DDA}-0.1	V
I_{DDA}	DAC 静态电流	-	-	430	-	uA
DNL	微分非线性误差	-	-	-3/+1	-	LSB
INL	积分非线性误差	-	-	-2/+2	-	LSB
Offset	偏移误差	-	-	-1/+2	-	LSB
Gain error	增益误差	-	-	-2/+2	-	LSB
Update rate	最大更新速率	-	-	1	-	MS/s

1. 由综合评估保证，不在生产中测试

4.3.19 比较器特性

表 45 比较器特性

比较器特性						
符号	参数	寄存器配置	最小值	典型值	最大值	单位
t_{HYST}	迟滞	00	-	0	-	mV
		01	-	15	-	mV
		10	-	30	-	mV
		11	-	90	-	mV
V_{OFFSET}	失调电压	00	0.091	0.213	0.358	mV
t_{DELAY}	传播延时(1)	00	-	80	-	ns
		01	-	51	-	ns
		10	-	26	-	ns
		11	-	9	-	ns
I_q	工作电流均值(2)	00	-	45	-	uA
		01	-	13.2	-	uA

电气特性

比较器特性						
符号	参数	寄存器配置	最小值	典型值	最大值	单位
		10	-	6.1	-	uA
		11	-	3.9	-	uA

1. 输出翻转 50% 与输入翻转的时间差。
2. 总消耗电流均值，工作电流。

4.3.20 运算放大器特性

表 46 运算放大器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	2.5	3.3	5.5	V
V_{OFFSET}	输入偏置电压	-		1		mV
I_{LOAD}	驱动电流	-		35		mA
C_{LOAD}	电容负载	-				pF
CMRR	共模抑制比	-		70		dB
PSRR	电源抑制比	-		80		dB
GBW	增益带宽积	-		9		MHz
SR	压摆率	-		6.2		V/us
GOL	开环增益	-		90		dB

5 栅极驱动器

5.1 工作条件

表 47 Gatedriver 绝对最大额定值

符号	描述	最小值	最大值	单位
VCC	LDO 和栅极驱动器电源电压	-0.3	15	V
VREG5	5V 线性稳压器输出	-0.3	6	
HIN1,2,3	栅级驱动器上桥臂输入	-0.3	VCC + 0.3	
LIN1,2,3	栅级驱动器下桥臂输入	-0.3	VCC + 0.3	
VB1,2,3	栅级驱动器自举电源输出	-0.3	63	
VS1,2,3	功率切换电路输出相节点	-8	VB + 0.3	
HO1,2,3	栅级驱动器上桥臂输出	VS-0.3	VB + 0.3	
LO1,2,3	栅级驱动器下桥臂输出	-0.3	VCC + 0.3	
PD	TA<=25◦C 时的封装功耗		0.625	W
RthJA	热阻		200	◦C/W
TJ	结温		150	◦C
TS	存储温度	-55	150	
TL	焊接时引线温度 (保持 10 秒)		300	

表 48 Gatedriver 推荐工作范围

符号	描述	最小值	最大值	单位
VCC	LDO 和栅极驱动器电源电压	7	13.5	V
VREG5	5V 线性稳压器输出	4.5	5.5	
HIN1,2,3	栅级驱动器上桥臂输入	0	VCC	
LIN1,2,3	栅级驱动器下桥臂输入	0	VCC	
VB1,2,3	栅级驱动器自举电源输出	VS + 5	VS + 13.5	
VS1,2,3	功率切换电路输出相节点	-5	48	
HO1,2,3	栅级驱动器上桥臂输出	VS	VB	
LO1,2,3	栅级驱动器下桥臂输出	0	VCC	
TA	环境温度	-40	125	◦C

5.2 工作特性

栅极驱动器特性如下图。

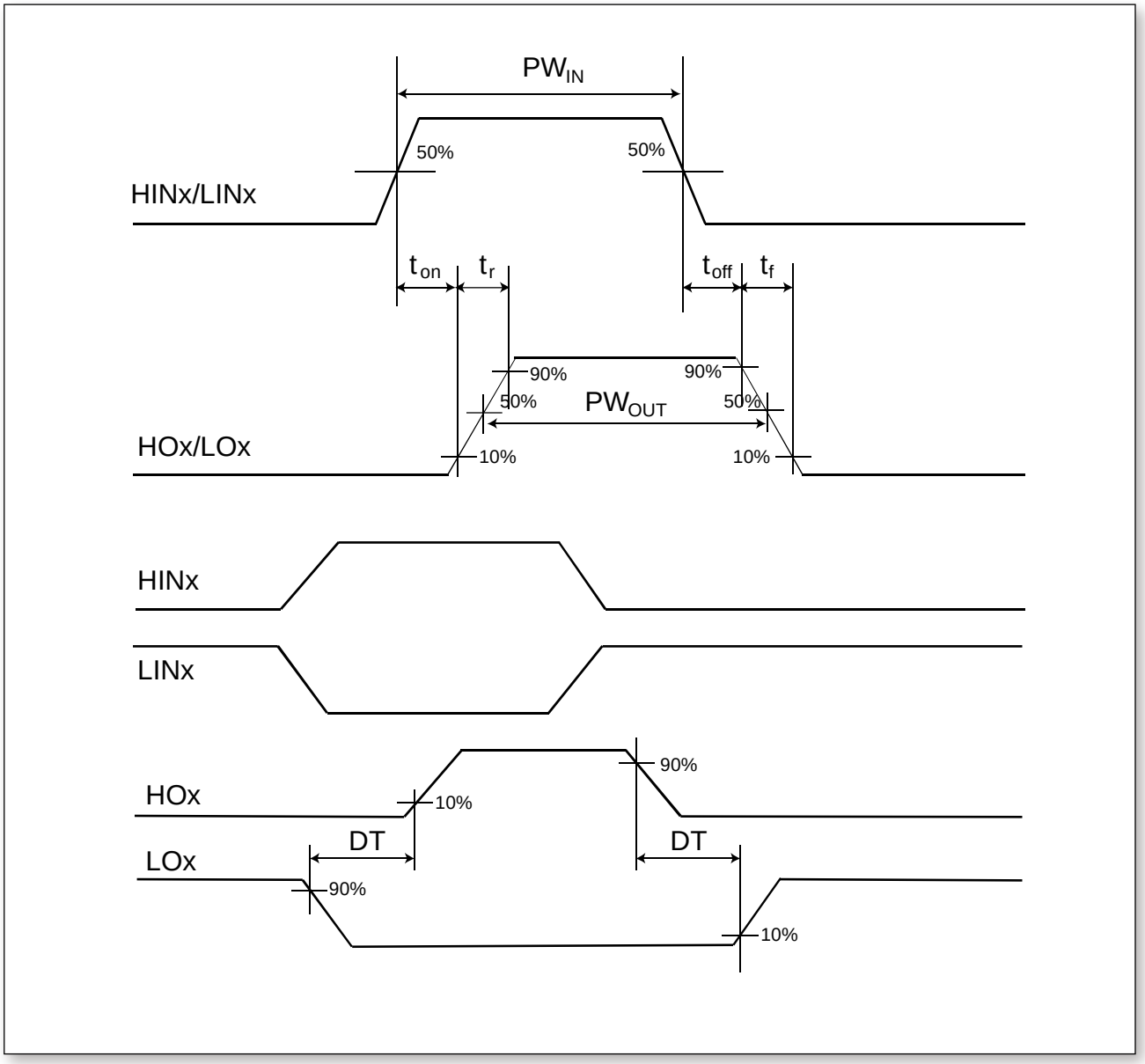

图 21 上电时序状态图

短路保护（Shoot-Through Protection）

GateDriver 装有短路保护电路（Shoot-Through Protection Circuitry）。下图显示当 HI 和 LI 被同时打开时，输出保护会同时切断高 high-side 和低 low-side 开关。这是为了防止高 highside 和低 low-side 的输出在同一时间打开。

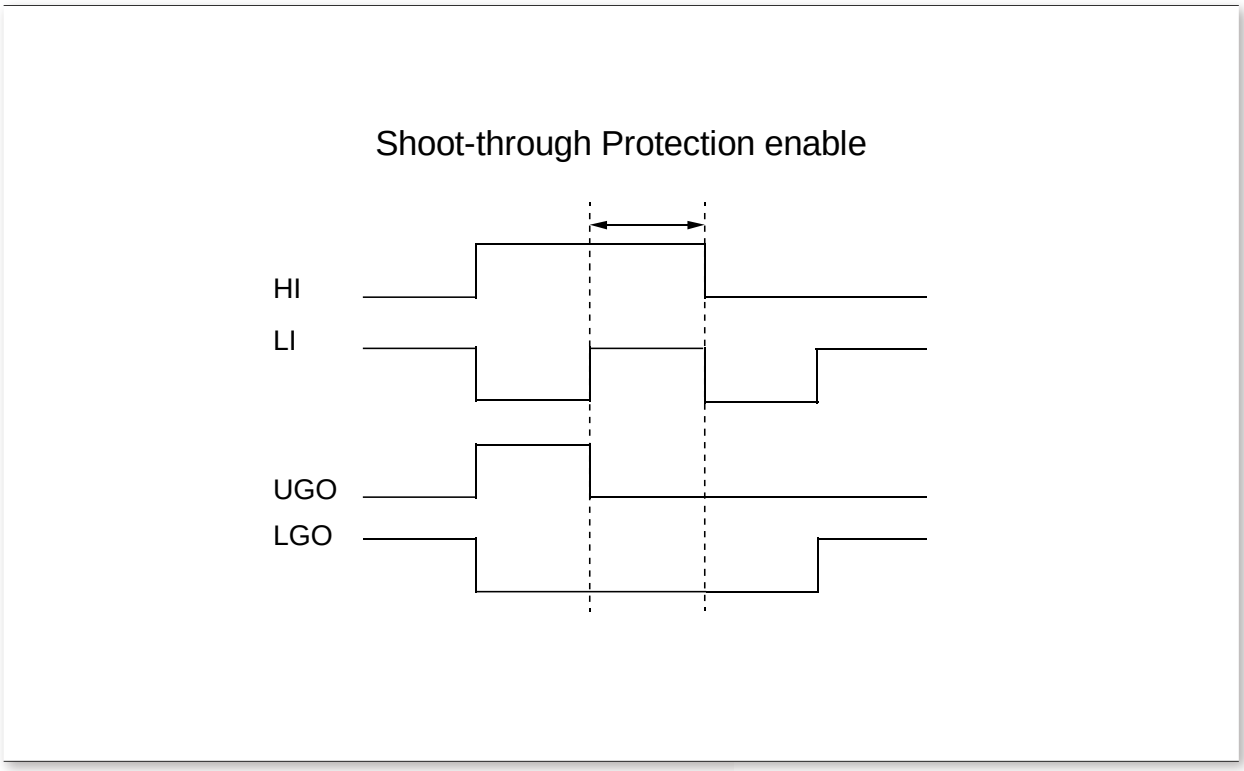

图 22 上电时序状态图

表 49 PWM 输入输出状态表

PWM State			
HI	LI	UGATE	LGATE
ON	OFF	ON	OFF
OFF	ON	OFF	ON
ON	ON	OFF	OFF
OFF	OFF	OFF	OFF

表 50 Gatedriver 电气特性

符号	描述	最小值	典型值	最大值	单位
IQCC	静态电源电流 (HIN=LIN=0V)		1.5	2	mA
UVCC	VCC 电压跌落阈值	4.5	5.5	6.5	V
UVCCHYS	VCC 迟滞阈值		0.3		
UVBS	VVBS 电压跌落阈值		5.22		
UVBSHYS	VVBS 迟滞阈值		0.05		
VIH	高电平输入电压阈值	2.4			
VIL	低电平输入电压阈值			0.8	
RINPD	输入下拉电阻		200		kΩ
IIN+	输入偏置电流 (HO=high)			35	uA

封装特性

符号	描述	最小值	典型值	最大值	单位
IIN-	输入偏置电流 (HO=low)			2	
IQBS	VB123 静态电源电流 (HO=low)		36	100	
RBSD	内建二极管等效电阻 (正向偏置电流 = 10mA)		60		Ω
ISINK	输入电流		1		A
ISOURSE	输出电流		1		
VOH	输出高电平电压	11.9			V
VOL	输出低电平电压			0.1	
tr	输出上升时间		30	60	ns
tf	输出下降时间		30	60	
tDT	死区时间		65	95	
ton	导通延迟时间		40	60	
toff	关断延迟时间		40	60	
tSD	关闭延迟时间		40	60	

表 51 5V LDO

符号	描述	最小值	典型值	最大值	单位
VREG5	线性稳压器和栅极驱动器电源输出 (IO=40 mA)	4.9	5	5.25	V
IREG5	线性稳压器电流输出		60		mA
VREG5,drop1	跌落电压 1 (1 mA≤ IO ≤ 40 mA, VCC=12V)		100	200	mV
VREG5,drop2	跌落电压 2 (10V ≤ VCC ≤ 15V, IO=40 mA)		200	400	mV

6 封装特性

6.1 封装 QFN48

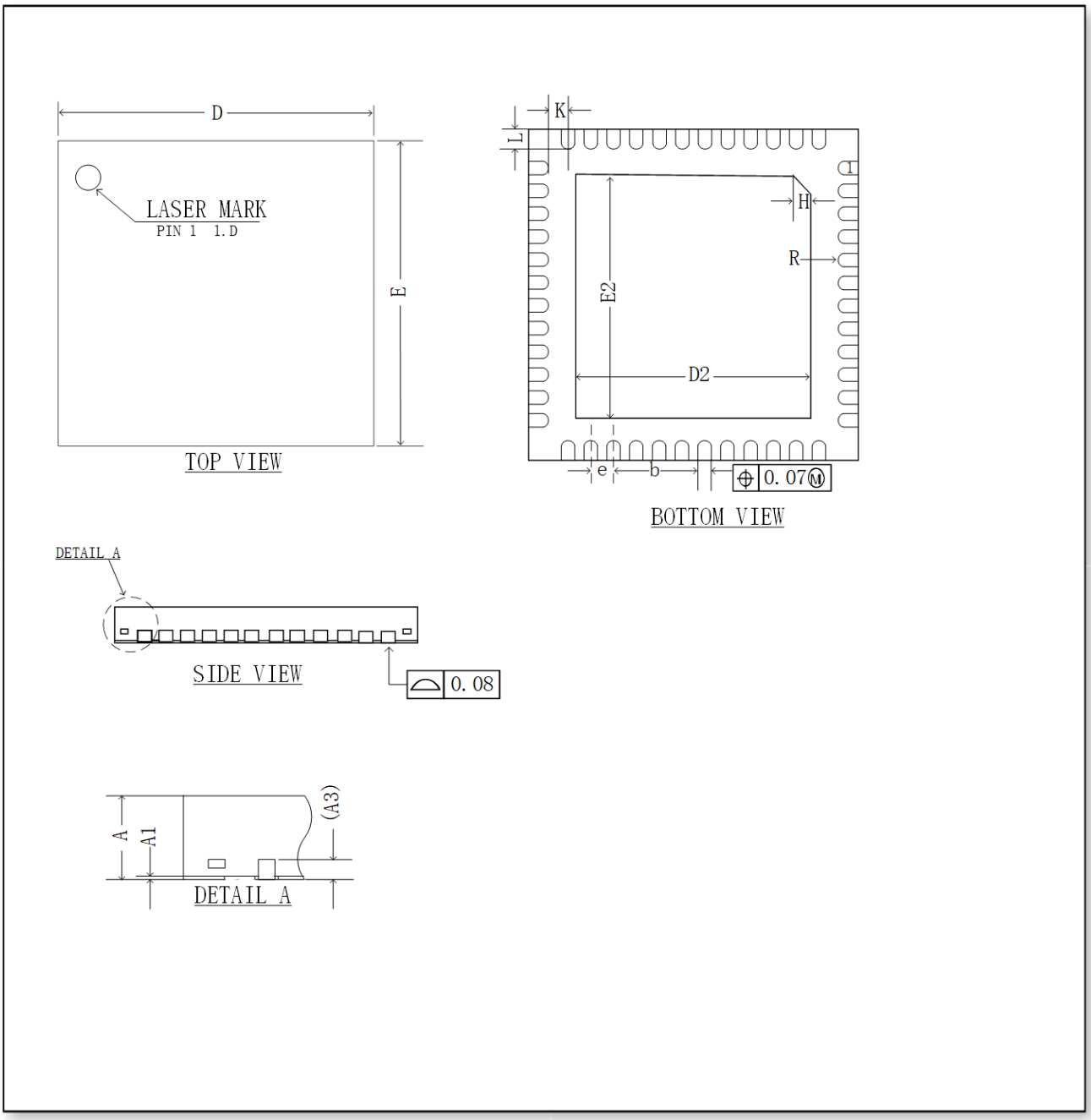

图 23 QFN48 脚低剖面方形扁平封装图

1. 图不是按照比例绘制。

2. 尺寸单位为毫米。

表 52 QFN48 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.20REF		
b	0.15	0.20	0.25
D	5.90	6.00	6.10
E	5.90	6.00	6.10
D2	4.30	4.40	4.50
E2	4.30	4.40	4.50
e	0.30	0.40	0.50
H	0.35REF		
K	0.30	0.40	0.50
L	0.30	0.40	0.50
R	0.075	-	-

7 产品命名规则

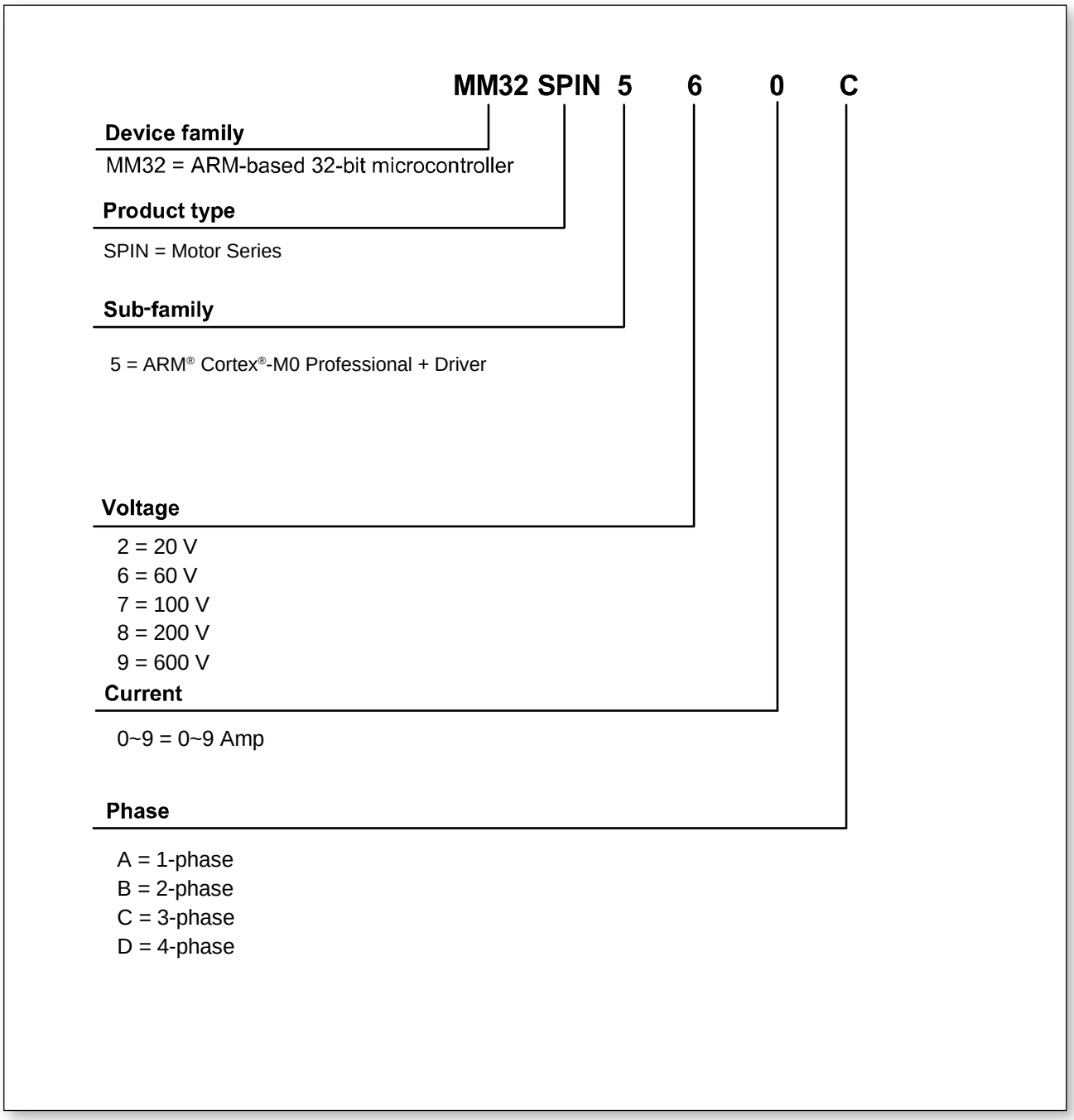

图 24 MM32 型号命名

8 修订记录

日期	版本	内容
2022/02/06	Rev1.0	正式版
2022/03/08	Rev1.01	去除没有用到的引脚描述
2022/04/01	Rev1.02	改变芯片最大适用温度，部分电参数，修正一些错误
2022/05/27	Rev1.03	变更芯片内部 LDO 的电参数